

# 無線寬頻接收端之寬頻類比/數位轉換器與 可調適性濾波池之新架構研究與設計

## The Development and Design of Wide Bandwidth Analog-to-Digital Converter and Adaptive Filter Bank for Wireless Communication Receivers

計畫編號：NSC 90-2215-E-032-001

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

計畫主持人：江正雄 淡江大學電機系副教授 Email:chiang@ee.tku.edu.tw

計畫參與人員：周保助、張騰轟 淡江大學電機系博士班

計畫參與人員：張嘉伯、林于森 淡江大學電機系碩士班

### 一、 中文摘要

傳統在設計寬頻類比/數位轉換器大多以 Pipelined ADC 來實現，在此篇研究中，我們以 inverse-filter NTF (noise-transfer-function) 設計流程來實現寬頻架構之三角積分調變器，並且配合調適性數位濾波器做非線性效應補償；此包含了內部回授 DAC 元件特性誤差補償及運算放大器的非理想特性誤差補償，而整體的優點在於能準確設計類比/數位轉換器之頻寬，且能用較少的電路來實現寬頻架構。

**關鍵詞：**類比/數位轉換器、三角積分調變器、數位濾波器。

### Abstract :

The pipelined Analog-to-digital converter (ADC) is usually implemented in the wideband receiver. In our research, a method of the inverse-filter NTF is considered to implement in the sigma-delta modulators. The adaptive digital filter is used to compensate the non-linearity effects, including component mismatch of the DAC and non-ideal effects of Op-Amps. The advantage of our approach is to design an accuracy bandwidth of ADC and reduce the complex circuits.

### 二、計畫緣由與目的

隨著數位無線通信的市場發展，高速、高效能的 ADC 扮演及重要的角色，因為經過 ADC 轉換後的數位資料，可經由強大 DSP 模組來應用於工業量測、醫學工程、無線通

訊.....等。一般應用於無線通信系統的 ADC 有兩種形式：

(1) Pipelined ADC：以 2 倍 Nyquist rate 為其取樣頻率，優點在於高速運算但其解析度通常不高。

(2) Sigma-delta ADC：運用 oversampling 技術可大大提昇解析度，但輸入訊號頻寬通常侷限在音頻範圍。

一般而言，Sigma-delta ADC 大多運用於音頻範圍，若考量寬頻、高解析度 ADC 的需求，多位元量化(multi-bit quantizer)的設計法則是近年來最熱門的研究方向，但在考量元件非線性誤差時，回授路徑上 DAC 不匹配效應會造成基頻雜訊大大提昇，而造成效能上極嚴重的降低。因此很多學者針對此問題提出了 DEM (Dynamic Element Matching)、DWA (Data Weighted Averaging).....等，來避免多位元量化的非線性誤差，並且還能保有其高解析度特性。

傳統在實現高階 sigma-delta modulator 時有單一迴路和多級並聯兩種架構，若以寬頻 (>1MHz) 為其設計考量，在 oversampling 過程中若 OSR=64，則取樣頻率必須達到 128MHz 以上，所以在架構上有難以突破之瓶頸。考量寬頻和較低 OSR (OSR<16) 的需求，我們以何種雜訊轉移函式(NTF)能夠達到如此的條件進行分析，若以傳統架構而言，其  $NTF = (1 - z^{-1})^N$ ，唯有高速的取樣頻率才能達到寬頻的條件；因此我們以 inverse-filter 概念，在 NTF 中加入零點以延伸其頻寬，使得頻寬內的總量化雜訊能透由零點的分佈而降低。再者，運用多位元量化技術為現今高解

析度 sigma-delta modulator 必備條件，但在此架構上，系統的回授路徑需要一個相對應的多位元 DAC (通常小於 5 bits)，若考慮此電路實現時元件不匹配的誤差，只要 1% 誤差錯誤就能造成嚴重的基頻雜訊，而先前所探討的優點，則會被此誤差特性完全掩蓋，因而大大降低了解析度。

### 三、研究方法及成果

#### 3.1 研究方法

寬頻、高解析度 sigma-delta modulator 是本研究所欲達到的目的，我們探討利用 inverse-filter NTF 所組成的架構，但此架構的瓶頸在於是否能避免回授路徑上的 DAC 不匹配誤差，所以考量如何可以避免 DAC 的誤差錯誤所造成效能降低，是我們最主要的目的地。首先我們設計一個 inverse-Chebyshev NTF 的 sigma-delta modulator，並且導入了分級量化技術，以 1.5-b 量化取樣作為回授路徑，此舉消除了多位元 DAC 所帶來的不匹配誤差，但為補足解析度上的不足，我們在順向路徑上串接多位元量化器，並且透過數位濾波器 (H(z))來消除低階的量化誤差，因此能達到高解析度，圖一為改良後的新架構。

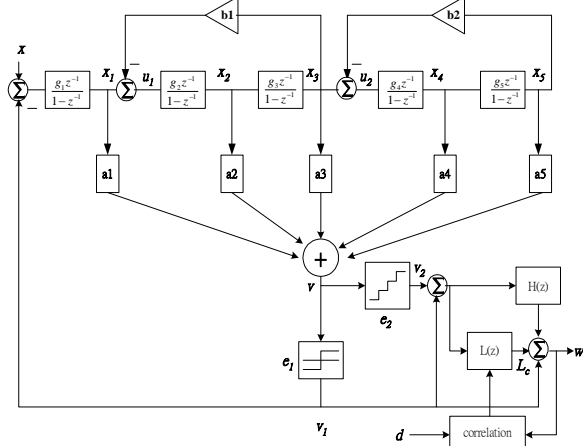


Fig 1: 新型 sigma-delta modulator 架構

在此新架構中，我們以 Chebyshev filter 為主體，而濾波器係數的變動將會造成 NTF 的改變，甚至造成系統的不穩定；因此我們逐一針對系統中的非線性條件進行分析。考量何種非線性效應會帶來 NTF 量化誤差，經分析最主要原因有二：

- (1) 積分器的增益誤差會造成轉移函式的漂動，而相對極點、零點也會有偏移。
- (2) 增益路徑上的係數偏移，其原因可能在於現實時對應電容的製程漂動，此效應會造成電荷的漏失而帶來量化誤差。

所以在非線性的考量下，還是會有效能上的差異，因此我們運用可調適性濾波器來補償非線性效應所造成的誤差，其概念在於加入 dither 並以 LMS 來計算出非線性誤差所帶來量化雜訊，因此在數位濾波器係數的設計上，我們能以此為依據而加以調整。

電路設計上，我們以全差動開關-電容電路 (SC circuits) 作為此新架構實現的方法，此架構中需要 SC 積分器來實現  $z^{-1}/1-z^{-1}$  函式，及多個 flash ADC 來完成 1.5-b 和 4-b 的量化器，而 OP-Amp 的設計也關係著 SC 積分器的效能，我們以全差動式 folded-cascode Op-Amp 為主體，如圖二所示，並且加入 gain-boost 電路來增加其增益，而在偏壓方面，我們以 wide-swing constant-gm bias circuits 來實現，最後再加上 SC common-mode feedback circuits。

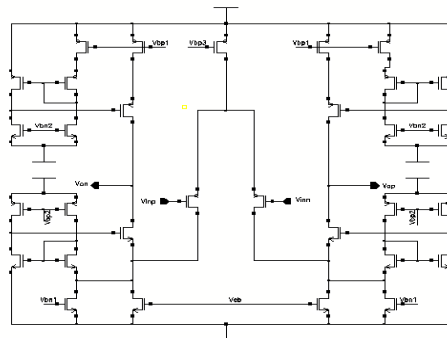


Fig 2: 運算放大器電路圖

| Op-Amp Spec.            | Value       |
|-------------------------|-------------|
| Supply Voltage          | 2.5V        |
| Phase margin            | 70°         |
| DC gain                 | 72dB        |
| Common mode input range | 0.13~2.38V  |
| Output swing            | 0.125~2.35V |
| Slew rate               | 320V/us     |
| Settling time           | 6ns         |

在佈局方面，我們考慮數位與類比電路的分隔，以避免數位電路所造成的雜訊會經由基底相連的關係而影響類比電路，並且每一類比電路的區塊，均藉由 Guard Ring 來保護，使其更能避免雜訊影響；最後整個電路佈局使用了三組不同 VDD 及 VSS，此法用於防止雜訊經由電源線而傳遞到類比電路中。

### 3.2 研究成果

在本計畫的規劃中，我們將設計的電路經由 CIC 製作成晶片，圖三為晶片的顯微照相圖，而在晶片取得之後，我們分別以直流及交流訊號進行量測，並透過邏輯分析儀擷取訊號後送至數位濾波器進行消除高頻雜訊動作，最後再藉由 matlab 做頻普分析及計算 SNDR。

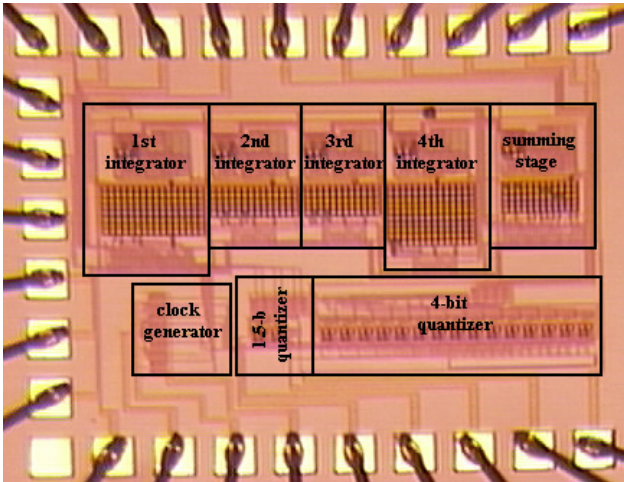


Fig 3: 晶片顯微照相圖

#### (a) 直流準位量測

輸入為 0.6V 的直流訊號，輸出的資料每 10 筆大概有 8 個高準位、2 個為低準位，其平均值約為 0.6V，圖四為直流準位量測結果。

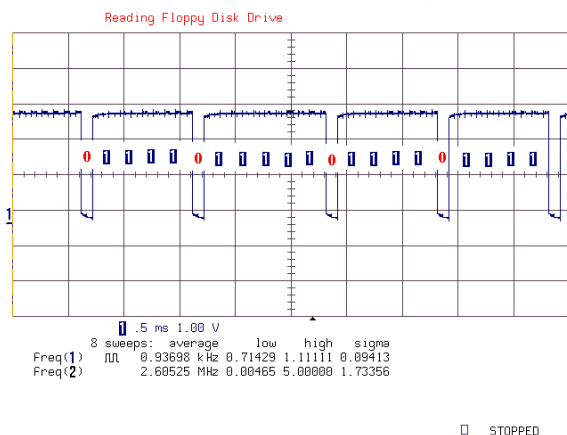


Fig 4: 直流準位量測結果

#### (b) 交流訊號量測

輸入為一正弦波時，輸出訊號會隨著輸入準位提昇，而會有更多高準位資料出現，反之若是輸入準位遞減，則低準位資料會大量出現，圖五為交流量測結果。

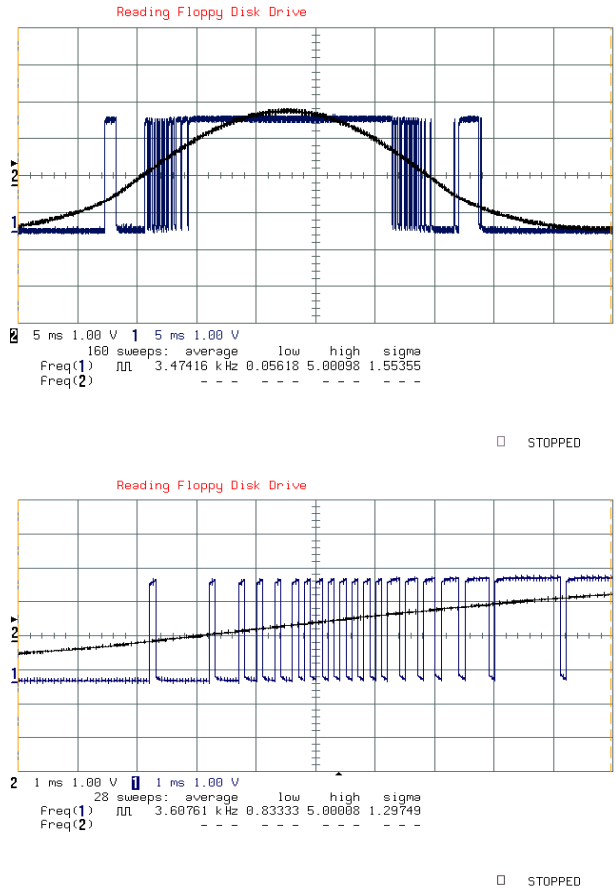


Fig 5: 交流訊號量測結果

#### (c) 頻普分析及 SNDR

藉由 matlab 軟體分析，可以將經數位濾波器後的資料作 FFT 分析，進而描繪頻譜及計算 SNDR，如圖 6 和圖 7 所示。

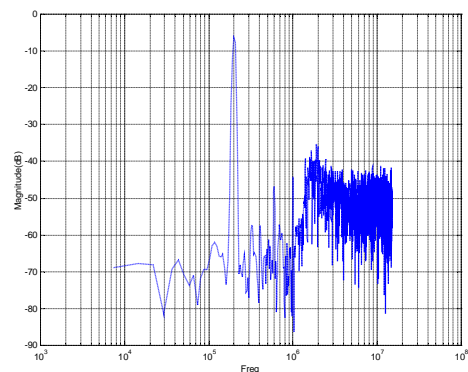


Fig 6: 頻譜分析

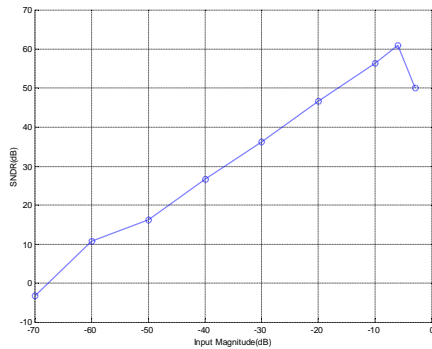


Fig 7: SNDR

| Spec.                 | Value |
|-----------------------|-------|
| Supply Voltage        | 2.5V  |
| OSR                   | 16    |
| Sampling ratio (MHz)  | 30    |
| SNDR (dB)             | 60    |
| Bandwidth(MHz)        | 1     |
| Power Consumption(mW) | 72    |

#### 四、結論與討論

在本計畫中，預計實現一個寬頻 ADC 及可調適濾波器之架構，而此晶片的量測結果，其效能大致為設計時的 2/3，探討其原因，大致可歸咎於佈局時的未能有效的減少製程變異所造成的影響，如電容值的漂動及偏壓電流的不準確性；再者，測試環境的規劃，未能有非常精確的參考電壓及高解析度的差動訊號輸入，此效應均會造成失真及 harmonic distortion 的產生，而操作頻率降為 30MHz 則為 Op-Amp 的 slew rate 及 settling time 在設計時未能超出規格甚多，導致晶片在實現時的寄生效應降低整體效能，進而限制住操作頻率。

在未來的發展上，可結合 mixed-mode IC 的設計概念，將類比元件及數位濾波器電路整合，以符合未來 SOC 的發展目標。

#### 五、參考文獻

[1] S. R Norsworthy, R. Schreier, and G. C. Temes, "Delta-Sigma Converters: Theory Design, and Simulation," *IEEE Press*, New York, 1997.

[2] K. C.-H. Chou, S. Nadeem, W. L. Lee, and G. C. Sodini, "A Higher-Order Topology for Interpolative Modulators for Oversampling A/D Converters," *IEEE Trans. on Circuits and System*, Vol. 37, pp.309-318, March

1990.

[3] R. H. Walden, T. Cataltepe, and G. C. Temes, "Architectures for High-Order Multibit Sigma-Delta Modulators," *IEEE Proc. ISCAS'90*, vol. 2, pp.895-898, 1990.

[4] R. Schreier, "An empirical study of high-order single-bit delta-sigma modulators," *IEEE Trans. Circuits and Syst. II*, vol. 40, pp. 461-466, Aug 1993.

[5] R. W Adams, P. F. Ferguson, A. Ganesan, S. Vincelette, A. Volpe, and R. Libert, "Theory and practical implementation of a fifth-order sigma-delta A/D converter." *J. Audio Eng. Soc.*, vol. 39, pp. 515-528, July 1991..

[6] T. Ritoniemi, T. Karema, and H. Tenhunen, "The design of stable high order 1-bit sigma-delta modulators," *Proc. 1990 IEEE Int. Symp. Circuits Sys.*, vol. 4, pp. 3267-3270, May 1990.

[7] T.-H. Kuo, K.-D. Chen, and J.-R. Chen, "Automatic coefficients design for high-order sigma-delta modulator," *IEEE Trans. Circuit and Syst. II*, vol. 46, no. 1., pp. 6-15, Jan 1999.

[8] T. C. Leslie and B. Singh, "Sigma-delta modulators with multibit quantising element and single-bit feedback," *IEE Proceedings*, vol. 139, no. 3, pp. 356-362, June 1992.

[9] A. Wiesbauer and G. C. Temes, "On-line digital compensation of analog circuit imperfections for cascaded  $\Sigma\Delta$  modulator," *IEEE-CAS Region 8 Workshop on Analog and Mixed IC Design*, pp. 92-97, 1996.

[10] P. Kiss, J. Silva, A. Wiesbauer, T. Sun, U.-K. Moon, J. T. Stonick, and G. C. Temes, "Adaptive digital correction of analog errors in MASH ADCs. II. Correction using test-signal injection," *IEEE Trans. Circuits and Syst. II*, vol. 47, no. 7, pp. 629-638, July 2000.

