

行政院國家科學委員會專題研究計畫成果報告

多層堆疊高 Q 值螺旋電感的設計

Multilayer Stacked High Q Spiral Inductor Design

計畫編號：90-2213-E-032-002-

計畫執行起訖：2001.08.01 至 2002.07.31

計畫主持人：李慶烈 淡江大學電機工程學系

摘要：

本報告研究在矽基板上，平面螺旋電感的特性。我們利用電磁模擬軟體探討在定面積下，比較不同電感結構在不同損耗基底下的感值、共振頻率和品質因子之間的變化。在不同結構中，我們有用 via 把兩層金屬連起來的結構，用來降低電感的串聯電阻，使品質因子提高；有把電感的線段分割，以改善電流擁擠效應，降低電阻值，增加品質因子；有用 spiral array 的結構，使在基底的磁場減小，降低基底的損耗，使品質因子增加。

I. 研究動機與背景

在 RFIC 的領域，原本以 GaAs 為主要的製成，因 GaAs 電晶體具有良好的高頻特性，但由於 CMOS 製成技術的進步，在深次微米領域已可提供相當高 f_T 的電晶體(~20GHz)，因此在微波頻段的低頻部份(2GHz 左右) CMOS 已形成一個相當引人注意的選擇，因其可以將類比電路及數位相關的邏輯電路製作於同一晶片上，這完全符合大量生產時低成本的要求。

就 COMS 的 RFIC 而言，被動電感往往以螺旋的結構出現且占有相當大的晶片面積，因此只要能提高單位面積的電感值就能夠進一步降低成本，另外，矽材料的損耗比 GaAs 要

大，因此利用矽基底做成的螺旋電感，一般而言，其 Q 值皆較低，因此如何提高 CMOS 電感的 Q 值一直是不少研究者關心的課題。利用 Bond wires 雖然可以提供高 Q 值的電感，但是其電感值無法隨意變化，且易受 bonding 過程及外在環境的影響，利用主動電感可以是提高 Q 值的另一方法，但是因為主動電感的雜訊較大，且消耗功率也較高，因此，直接改善螺旋電感的 Q 值亦具有相當重要的意義。

近年來，由於 RFIC 中，電感的品質因子太低，各界均對於改善電感的品質因子提出了許多的方法，但是對於想在定面積之下，去增加電感的感值，卻不至於降低電感的品質因子，眾人所提出的結構不多，其中是因為多層的螺旋電感，在上下層的金屬線之間的電容太大，以至於共振頻率太小，不符使用。在總觀各家之雙層電感結構之後，提出了一種雙層螺旋電感的新結構，以期在感值，品質因子及共振頻率上能夠有不錯的效果。

II. 基本原理

A. 品質因子(Quality factor):

電感的品質因子大小，是被用來評斷效能好壞的一個指標，原因是因為電感的品質因子的大小，和電感儲存能量的能力有關。品質因子可以用能量的觀點和電路的觀點來定義。

$$Q = \frac{2f(\text{Stored Energy})_{\max}}{\text{Energy Loss Per cycle}}$$

$$= \frac{R_p}{\tilde{S}_0 L_p} = \frac{R_p}{\sqrt{L_p C_p}} = \frac{\tilde{S}_0 L_s}{R_s} = \frac{\sqrt{L_s}}{R_s} \quad (1)$$

其中 $\tilde{S}_0 = \frac{1}{\sqrt{L_p C_p}} = \frac{1}{\sqrt{L_s C_s}}$

且 R_s 、 L_s 為將並聯電路換成串聯電路時的串聯電阻及串聯電感。

以電感為例，L (電感值) 的大小幾乎是由導線繞的圈數和形狀決定，而 R (電感的電阻值) 的大小是由導線的長度、截面積和頻率所決定，然而在定面積和標準製程下，想要有大的電感值和高 Q 值，是一件困難的任務，原因是要有高感值就必須多繞圈數，而導線的長度卻會使 R 變大，而使 Q 值降低。

B. 平面螺旋電感互感特性

(1) 先考一螺旋電感的結構

設一單位長度上有 n 個 loop，其上的總電感為 $L = \mu_0 \cdot n^2 \cdot A$ (2)

由此可知，如果欲增加單位長度上的電感 L_T ，光只是把線圈延長是沒有用的，

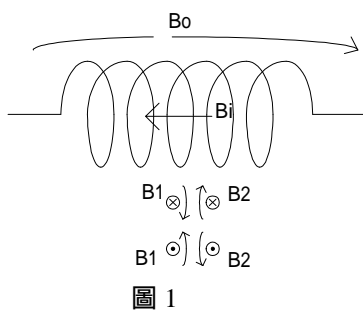


圖 1

對往內流的電流 \otimes 而言，只有下面有磁場 \vec{B}_i ，但是實際上因為線長有限，所以外部還是有磁場 \vec{B}_0 如虛線所示，但這不使互感 M 減損。

(2) Solenoid 的變形

考慮下圖 wire 半徑越來越小的 3D 線圈電感

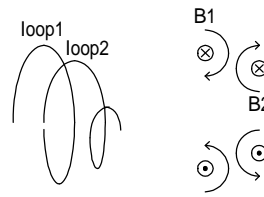


圖 2

此處 loop2 的向內電流 \otimes 產生的磁場 \vec{B}_2 上下皆有，對 loop1 的橫截面來說， \vec{B}_2 一左一右有抵消的作用，因此，內圈 loop2 對外圈 loop1 的互感磁通的貢獻，將受到減損，這個在下述的 spiral 電感的 case 將更嚴重。

(3) Spiral 看成是 solenoid 電感變形的極限

將上述變形的 solenoid 電感，予以壓扁，吾人可得一個如圖 3 的 2D 的 spiral 電感的結構。

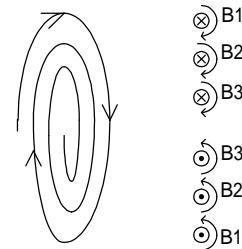


圖 3

如前所述，內圈 loop 的磁場一正一負，對外圈的磁通貢獻就小，所以 M 小，另外在 loop1 和 loop2 的交界處磁場有相減的傾向。但是外圈對內圈的磁通是有貢獻的，且這交鏈磁通和內圈迴路的面積相關。故欲增加螺旋電感的互感，可以把內圈和外圈迴路拉近，但是這麼做卻會使內圈和外圈之間的交鏈電容變大，導致共振頻率下降。

III. 平面螺旋電感的損耗

在訊號頻率低時，電感的損耗主要是受到金屬導線肌膚效應的損耗；在訊號頻率高時，

電感的損耗主要是來自基底的損耗，因為在高頻時基底的阻抗變小，訊號容易從基底流失
電感的損耗主要有

(1)金屬導線的損耗

當訊號的頻率增加時，電流會因為肌膚效應，而集中於導線的外圍呈不均勻的流動，而使得通過導線的截面積變小，電阻值變大，造成損耗變大。為了減少電感能量在金屬上的損耗，我們可以加大金屬的寬度與厚度，增加電流流過的截面積，使電阻變小，但是如此一來，卻會增加金屬之間的交鏈電容，而使得共振頻率下降，縮小了操作頻帶。[4]

(2)電流因擁擠效應的損耗[5]

如圖 4 所示，螺旋電感的磁場是從中心向外逐漸變小，

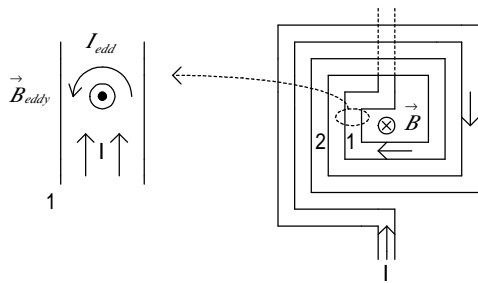


圖 4

在靠近中心的導線 1 會受到較大的反向磁場，而此反向磁場(B_{eddy})會在導線 1 感應出渦電流(I_{eddy})，原本導線上的電流是向上，產生的渦電流抵消了導線左邊的電流，使得流經導線上的截面積變小，電阻變大，損耗增加，而導線的寬度若是越大，產生的感應電流也就越大，這和先前為了使金屬導線的電阻減小，而加大導線寬度的作法相抵觸。

(3)基底的損耗

感應電流將在基底流動，而造成損耗，在矽製程中，使用高摻雜低電阻係數的基底，所以基底的損耗會比砷化鎵製程來的高。另外金屬和基底之間的電容，會把基底流動的電流耦合到金屬導線，並把基底的雜訊帶到金屬線上。

(4)輻射性的損耗

在電感的形狀也會影響到電感的損耗，一般電感的形狀有正方形，八角形.....等。導線繞線的轉角若是過於尖銳，能量就容易在此輻射而產生損耗，所以八角形的電感比正方形的電感產生的輻射性損耗較少。

IV.改善電感損耗的方法

本節將針對上述之數種損耗，在不改變一般製程的前提下，提出改進的方法。

(1) 首先在金屬肌膚效應的損耗上，我們可以利用製程提供的多層金屬，把上面的幾層金屬用 via 連接起來，如圖 5 所示，使金屬的截面積變大，減小因為肌膚效應所造成的損耗[6]。其結果如圖 9 所示

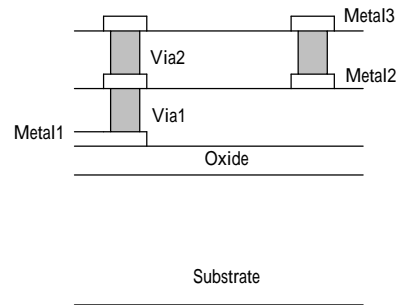


圖 5

(2) 在電流的擁擠效應損耗方面，我們將原有的金屬線分割成數段的金屬線，如圖 6 所示，分割金屬線後，強迫原本左邊沒有電流流動的截面有電流流，而數小段金屬上電流流動的截面積總和將比原本的大，如此一來將可改善因電流擁擠造成的損耗。其結果如圖 11 所示

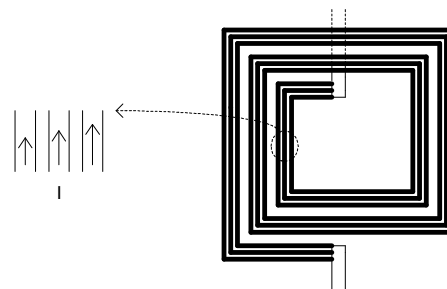


圖 6

(3) 在基底的損耗方面，造成損耗的原因是金屬線圈產生的磁場，進入到基底內，而造成感應電流在基底的產生。在眾人提出改善基底損耗的方法中，大多為感應電流已產生後，再去截斷或化解電流，我們在此提出了一個 spiral array 的電感結構如圖 7 所示，可產生較小的感應電流。

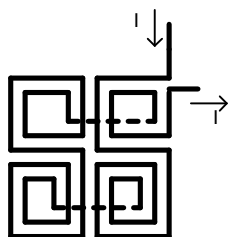


圖 7

在圖中每個迴圈的電流方向和鄰近迴圈的電流方向剛好相同，如此一來鄰近迴圈的磁場進入本身迴圈時磁場的方向是一致的，而在基底內的磁場卻可以部份互相抵消，所以在基底的感應電流將比一般的螺旋結構小，在高頻頻時，可以得到不錯的特性。其結果如圖 12 所示

總結

本報告探討在固定的晶片面積下，針對不同的基底與不同的電感結構其對應的感值、Q 值、 $f_{Q_{max}}$ 及共振頻率之間的變化。

本論文提出兩種結構來改善電感的性能，一是利用金屬切割以提供多電流路徑的方法，來改善電流擁擠效應。另一是利用 spiral array 的結構來改善基底的損耗。

當基底的導電率(或損耗正切)增加時，將直接導致電感的 Q 值，以及共振頻率 f_{res} 下降，嚴重影響電感的性能。利用高阻抗的矽基底材質將能直接有效的提高電感的性能。

若要在標準損耗高的矽製程下製造高 Q 值電感，本論文提出的 spiral array 結構可直接減小基底損耗。另外，若欲增加單位面積的感值，一般可利用增加圈數，減少金屬線間距以

及選用適當形狀來達成。但使用上述作法來提升電感值的同時，其對應的 Q 值則會下降，這是因為電感增加時，磁場也會增加，這將導致基底損耗以及電流擁擠效應隨之增加，本論文提出將金屬切割以形成多路徑的結構，則可以有效維持 Q 值於不墜。

參考文獻

- [1] C. P. Yue, C. Ryu, J. Lau, T. H. Lee and S. S. Wong, "A Physical Model for Planar Spiral Inductors on Silicon," Proc. IEEE International Electron Device Meeting, pp. 155-158, 1996.
- [2] I. T. Ho and S. K. Mullick, "Analysis of transmission lines on integrated circuit chips," IEEE J. Solid-State Circuits, vol. SC-2, pp. 201-208, Dec., 1967.
- [3] H. Hasegawa, M. Furukawa and H. Yanai, "Properties of microstrip line on Si-SiO₂ system," IEEE Trans. Microwave Theory Tech., vol. MTT-19, pp. 869-881, Nov., 1971.
- [4] Min Park, Seonghearn Lee, Cheon Soo Kim, Hyun Kyu Yu, and Kee Soo Nam, "The Detail Analysis of High Q CMOS-Compatible Microwave Spiral Inductors in Silicon Technology," IEEE Tran. On Electron Devices, vol.45, No. 9, Sep. 1998.
- [5] Huan-Shang Tsai, "Investigation of Current Crowding Effect on Spiral Inductor", IEEE MTT-S Symposium on Technologies for , 1997 , pp.139-142
- [6] L. Zu, Y. Lu, R. C. Frye, M. Y. Law, S. Chen, D. Kossiva, J. Lin and K. L. Tai, "High-Q factor inductors integrated on MCM Si substrates," IEEE Trans. on Components, Pack-aging and Manufacturing Technology, Part B: Advanced Packaging, vol. 19, no. 3, pp.635-643, Aug., 1996.

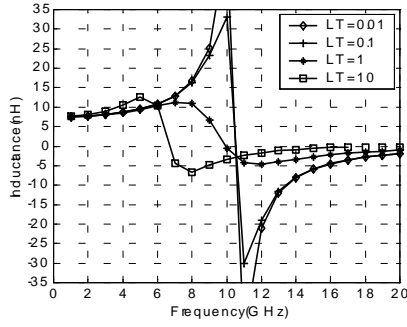


圖 8(a)為方形電感結構($n=6$, $w=6\mu\text{m}$, $s=6\mu\text{m}$)之模擬電感值, 基底損耗 Loss tangent (LT) 從 0.01 到 10。

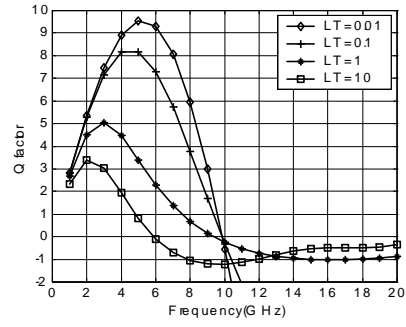


圖 9(b)為圖 5 之結構把 Metal3 (M3)和 Metal2 (M2)用 via 連接, $n=6$, $w=s=6\mu\text{m}$, 之模擬電感 Q 值, 基底損耗 LT 從 0.01 到 10。

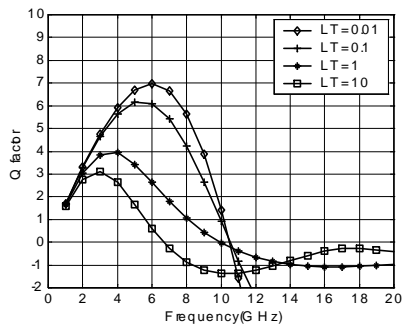


圖 8(b)為方形電感結構($n=6$, $w=6\mu\text{m}$, $s=6\mu\text{m}$)之模擬電感 Q 值, 基底損耗 Loss tangent (LT) 從 0.01 到 10。

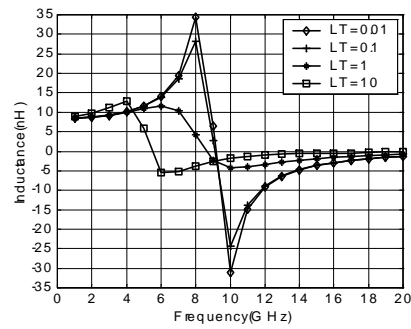


圖 10(a)為方形電感結構($n=8$, $w=10\mu\text{m}$, $s=2\mu\text{m}$)之模擬電感值, LT 從 0.01 到 10 (金屬線分割成 5 平行線, 但分割之平行金屬線與金屬線之間是導通的)

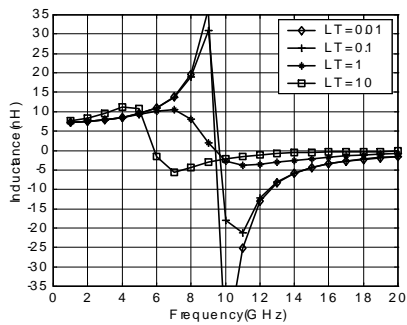


圖 9(a)為圖 5 之結構把 Metal3 (M3)和 Metal2 (M2)用 via 連接, $n=6$, $w=s=6\mu\text{m}$, 之模擬電感值, 基底損耗 LT 從 0.01 到 10。

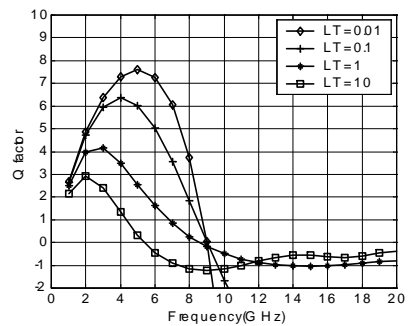


圖 10(b)為方形電感結構($n=8$, $w=10\mu\text{m}$, $s=2\mu\text{m}$)之模擬電感 Q 值, LT 從 0.01 到 10。

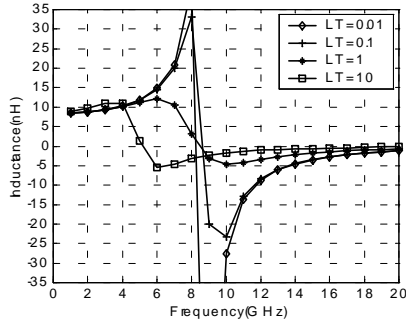


圖 11(a)為圖 4-9 方形電感結構 ($n=8$, $w=10\mu\text{m}$, $s=2\mu\text{m}$), 金屬線分割, 細線之間的距離為 $0.2\mu\text{m}$ 之模擬電感值, 基底損耗 LT 從 0.01 到 10 。

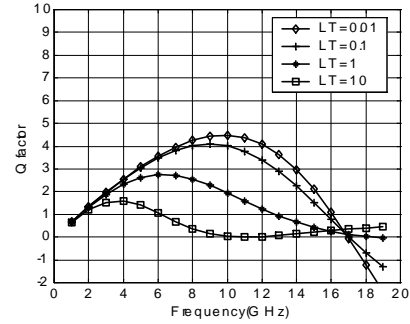


圖 12(b)為圖 4-20 spiral array 結構, $w=6\mu\text{m}$, $s=6\mu\text{m}$, 之模擬電感 Q 值, 基底損耗 LT 從 0.01 到 10 。

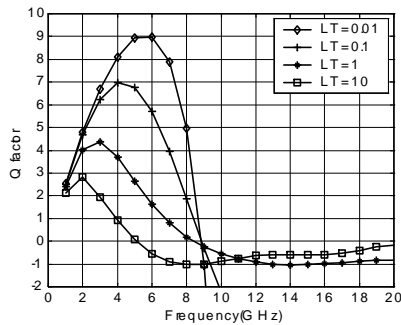


圖 11(b)為圖 4-9 方形電感結構 ($n=8$, $w=10\mu\text{m}$, $s=2\mu\text{m}$), 金屬線分割, 細線之間的距離為 $0.2\mu\text{m}$ 之模擬電感 Q 值, 基底損耗 LT 從 0.01 到 10 。

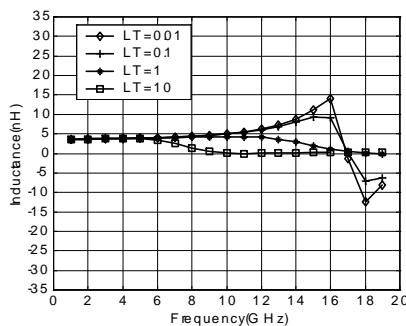


圖 12(a)為圖 4-20 spiral array 結構, $w=6\mu\text{m}$, $s=6\mu\text{m}$, 之模擬電感值, 基底損耗 LT 從 0.01 到 10 。

Abstract:

In this report, the characteristics of planar spiral inductors on RFIC silicon substrate are studied. Using a full wave electromagnetic simulator, we are able to observe the performance of different inductor structures on various lossy silicon substrates. A multilevel interconnect structure is constructed by using a bulk via to connect the metal strips on different layers such that the wire ohmic loss is reduced and the quality factor is improved. A multiple current path structure is proposed to reducing the current crowding effect on metal strips, especially in the center area, such that the wire ohmic loss is reduced and the quality factor is improved, too. A spiral array structure is invented to reduce the magnetic field into the lossy silicon substrate such that the substrate loss is reduced and the quality factor is improved.