

The Design and Implementation of a High Speed Radix-4 Carry Free Division Architecture

計畫編號：NSC 89-2215-E-032-005

執行期限：89年8月1日至90年7月31日

計畫主持人：江正雄 淡江大學電機系副教授 Email:chiang@ee.tku.edu.tw

一、中文摘要

本計劃目的在實現一套運算快速有效率且符合 IEEE 754-1985 標準的基數四浮點除法架構。為了克服傳統高基底除法器的缺點，我們依據 New-Svoboda-Tung 演算法，並利用有號數字系統，提出一個真正基底四的方法來降低架構的複雜度。與傳統除法架構比較，本論文所提出的架構需較少的倍率 (prescale) 運算週期。為了加速運算元加減的操作，我們提出了一個新的基底四 MROR 有號數字加法器 (radix-4 maximally-redundant optimally recorded signed digit adder)。此一加法器有無進位的特性，並能達到快速運算的效果。本計劃中所提出的除法器架構均以 Verilog HDL 來模擬驗證。利用此架構我們設計了一個三十二位元除以三十二位元的除法器。模擬驗證的結果顯示我們所使用的除法器架構效能良好，並可擴充到任何的位元數，使其易於在超大型積體電路中實現，以改變傳統除法器的運算方式，提高除法器的速度，進而提昇算術處理器在作除法上的效能。

關鍵詞：

IEEE 754-1985, New-Svoboda-Tung, 有號數字系統, 倍率, MROR。

Abstract :

A novel floating-point division architecture with IEEE 754-1985 standard is proposed in this proposal. This architecture is based on New Svoboda-Tung division algorithm and radix-4 MROR signed digit number system. The binary number to radix-4 MROR signed number conversion and prescaling of this divider is implemented together by a very simple scheme and they take very few cycle times. A new MROR signed digit adder with carry free characteristic is proposed for addition and subtraction, and this adder can improve the cycle time significantly. Based on this scheme, a 32-b/32-b divider is designed in

Verilog HDL; the simulation result shows that this architecture is feasible to a real divider.

Index Terms :

floating-point division, IEEE 754-1985, MROR, NSVT, prescaling, radix-4, Svoboda-Tung division, signed digit number system.

二、計劃緣由與目的

一般而言，要去評估一個處理器的效能，單位時間內所能處理的整數與浮點數運算通常是一個重要的指標；常用的整數與浮點數運算中，加（減）法器和乘法器已有相當好的效能和速度，而除法運算遠遠比不上加法與乘法速度，因此除法運算也就成了電腦算術上的瓶頸[1]。所以如何達到高速的除法運算是值得研究的一個課題。

一般除法器設計的觀念，不外乎使用下列二種基本的設計理念：一種是循序遞回的方式，即利用加法/減法和移位，就如我們使用紙筆推算的方法一樣[2]，另一種是利用牛頓-羅富森 (Newton-Raphson) 方法[3]，是使用乘法和加法逐步的逼近真正商數。

許多有關循序遞回浮點運算的理論已被多方提出[4-6]，各種理論在許多方面皆有所不同，差異點包括了精確度、疊代、基底、查表等，絕大部分理論的目的在於如何達到高速運算[7]。傳統除法器速度的瓶頸來自於選商、疊代次數、和進位問題等；除法運算過程中，要決定部分商數的值時，傳統的除法器往往需要一個加（減）法器去判斷部分餘數 (Partial Remainder) 的正負，而加法器中的進位延遲常常成為此除法器效能的瓶頸，為了達到高速運算，此加（減）法器，往往需要特別設計。本計劃將利用高基底 (high-radix)、基底數系 (radix number) 討論和餘二位元 (redundant binary)，使整個除法運算能達到運算次數減少、具有無進位延遲 (Carry Propagation Delay) 的特性、和選商方法簡化，並增快疊代運算的速度，而達到高速運算的目標。

三、研究方法及成果

高基底 SRT 除法為現今大部分論文所採用，但有其缺點，因此本計劃引入另一陰法理論，即新式 Svoboda-Tung (NST) 除法[8]。較適合的基底四除法理論為 MROR 和 mr。本計劃採用 MROR 的方式來推展新架構。

本計劃所提出的除法架構由三個部分組成，分別是倍率(prescale)、疊代(iteration)、和暫存器(register)，架構如圖 1 所示。

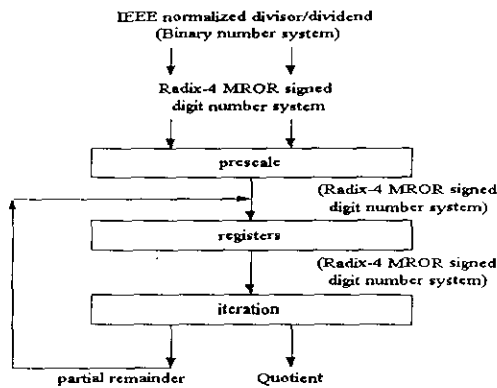


圖 1. 新式除法器架構圖

輸入的除數和被除數為 IEEE 正規化的二進位數字，為了數系單一化，我們會先將二進位數系轉換成基底四的 MROR 數系，而之後的架構所操作的數系均為基底四的 MROR 有號數系。基底四 MROR 有號數系的構成數字集合為 $\{3, 2, 1, 0, 1, 2, 3\}$ ，我們採用三個位元來作編碼，編碼表如表 1 所示。

表 1. 基底四 MROR 有號數系二進位編碼表

digit number	binary coding
3	011
2	010
1	001
0	000
$\bar{1}$	111
$\bar{2}$	110
$\bar{3}$	101

首先是倍率單元，所整理出的倍率常數如表 2，而圖 2 為求取倍率常數的範圍相關圖。圖 3 為倍率單元的硬體架構圖，整個倍率單元主要由多工器 MRSD (MROR signed digit) 加法器[9]、倍率選取單元(k-scaling factor selector)和變負單元(Minus)組成。

表 2. 倍率常數表

Range of Y	K	K in binary
$1 \leq Y \leq 9/8$	1	$1/2+1/2$
$9/8 \leq Y \leq 19/16$	0.9375	$1/2+1/2-1/16$
$19/16 \leq Y \leq 5/4$	0.875	$1/2+1/4+1/8$
$5/4 \leq Y \leq 11/8$	0.8125	$1/2+1/4+1/16$
$11/8 \leq Y \leq 3/2$	0.75	$1/2+1/4$
$3/2 \leq Y \leq 13/8$	0.6875	$1/2+1/8+1/16$
$13/8 \leq Y \leq 57/32$	0.625	$1/2+1/8$
$57/32 \leq Y \leq 2$	0.5625	$1/2+1/16$

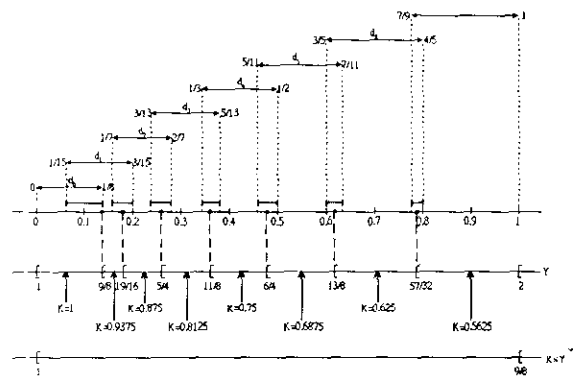


圖 2. 倍率常數範圍相關圖

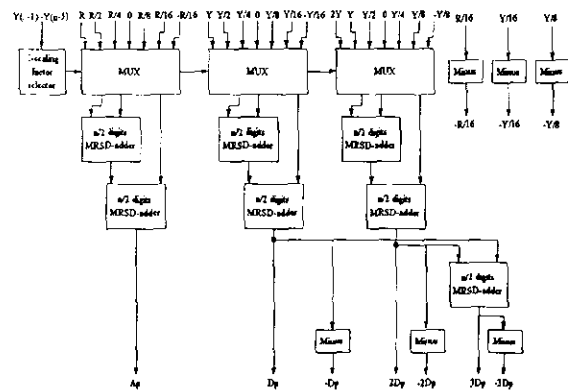


圖 3. 倍率單元硬體架構圖

雖然倍率的意義是要乘上一倍率常數，但在實際硬體實現上我們是以加減法代替乘法；為了方便作加減運算，之前的推算才要將倍率常數 K_i 化成 2^n 的各個組合項。根據表 2 我們取出除數 Y 的前五個最有效數字 (MSB) $(Y_{n-1}) \sim (Y_{n-5})$ ，用來決定被除數 Y 落於哪一個區間，並決定出倍率常數。倍率常數決定後，再以多工器選擇出所要的加減的項目。所以倍率選取單元在硬體實現上只是一簡單的解碼器。變負單元是要將輸入的基底四 MROR 數字加上負號，真值表如表 3 所示，在電路實現上可用解碼器或變補加“1” (反向器與加法器) 的方式來實現。

表 3. 變負單元真值表

Minus input	Minus output
011	101
010	110
001	111
000	000
111	001
110	010

本計劃在倍率單元所採用的是基底四的 MROR 數系，已是有號數系統，而 MRSD 加法器即是有號數的加法器，在硬體上並無進位延遲的問題。因此本計劃所提架構很容易就可實行到更高位元的除法器，而不會增加倍率單元的時間延遲(latency)。MRSD 加法器的架構如圖 4 所示。須注意的是，各級的控制信號是同時產生的，並無進位延遲的問題。控制電路(control)的真值表列於表 4。

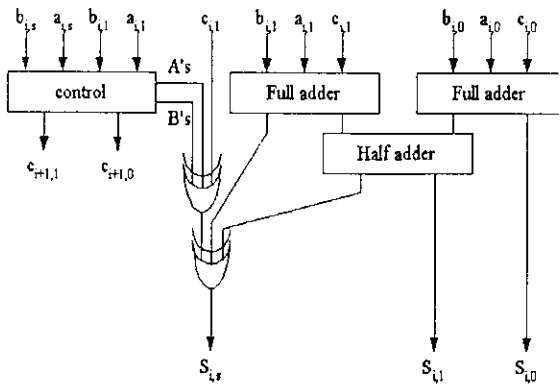


圖 4. MRSD 加法器

表 4. MRSD 加法器控制電路真值表

As	bs	al	bl	A's	B's	cl	c0
0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	1
0	0	1	x	1	0	0	1
1	1	x	x	0	1	1	1
1	0	0	0	0	0	1	1
1	0	0	1	1	0	0	0

接著是疊代單元。整個疊代單元，如圖 5，由重置(recoded)單元、移位(shifter)單元、補償選擇(compensation select)單元和 MRSD 加法器組合，各個單元分述如下。

重置單元：針對本計劃所採用的數系，我們將所須重置的情況整理於表 5。在電路實現方面，重置單元可用查表來完成。

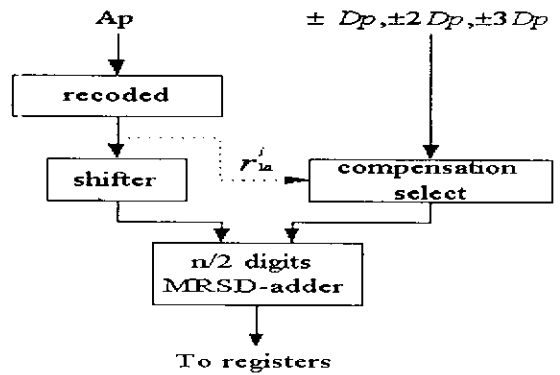


圖 5. 疊代單元架構圖

表 5. 重置狀態表

$r_1^j r_2^j$	$r_{1a}^j r_{2a}^j$
$\overline{33}$	$\overline{21}$
$\overline{32}$	$\overline{22}$
$\overline{23}$	$\overline{11}$
$\overline{22}$	$\overline{12}$
$\overline{13}$	$\overline{01}$
$\overline{12}$	$\overline{02}$
$\overline{13}$	$\overline{01}$
$\overline{22}$	$\overline{12}$
$\overline{23}$	$\overline{11}$
$\overline{32}$	$\overline{22}$
$\overline{33}$	$\overline{21}$

移位單元：此單元要實現的就是遞迴式中的 $\times R^{(i)}$ ，在本論文的架構中為 $4 \times R^{(i)}$ 。在硬體實現上不用真正做乘 4 的動作，只須做移位的動作。

補償選擇單元：此單元所實現的是遞迴式中的 $r_{1a}^j \times Y$ 。在硬體實現上不用做乘法，而是使用多工器，根據 r_{1a}^j 來選擇對應的項目， r_{1a}^j 與輸出的關係如表 6 所示。

MRSD 加法器：此單元實現的是遞迴式中的“-”的動作，此單元在運算時並不會隨處理的位元數 n 增加，而出現進位延遲的問題。

表 6. 補償選擇單元狀態表

r_{1a}^j	Output
3	$3D_p$
2	$2D_p$
1	D_p
0	0
$\overline{1}$	$-D_p$

四、結論與討論

設計的過程首先將各個模組以 Verilog 之程式語言撰寫，並執行驗證功能的模擬。之後使用 Synopsys 的電路合成工具，配合 Compass 0.6um TSMC 1P3M CMOS 製程的細胞元資料庫(cell library)進行電路的合成。最終，使用提供的細胞元資料進行自動繞線佈局(Auto Place and Route)前的邏輯閘層次的模擬。當通過邏輯閘層次的模擬，就可以開始著手進行晶片的佈局與繞線。模擬時採亂數產生之除數與被除數為輸入，在此只列出部分模擬結果，如圖 6、圖 7。邏輯閘層次(Gate level)的模擬顯示，時脈週期為 7.2ns，TimeMill 的模擬顯示時脈週期為 9.1ns。圖 8 為利用自動佈局與繞線完成的晶片佈局圖。

我們發展出新的除法架構，新架構的倍率單元時間延遲與處理的除數、被除數的位元數呈現 $O(1)$ 的關係。且與傳統除法架構相比較有較好的效能，並易於擴展到更高位元(如 128 或 256 位元)。同時我們也設計出 32×32 位元的除法器，證明所提出新架構之可行性與簡易性。

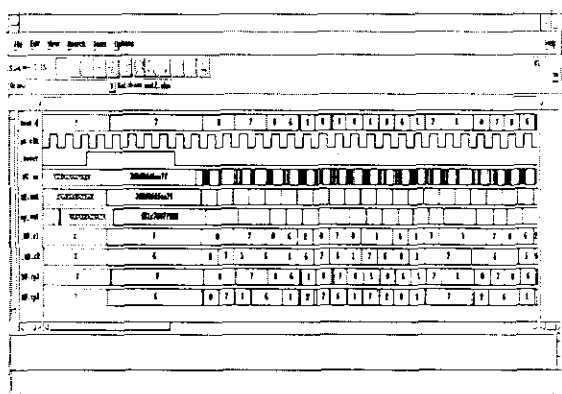


圖 6. 邏輯閘層次模擬結果

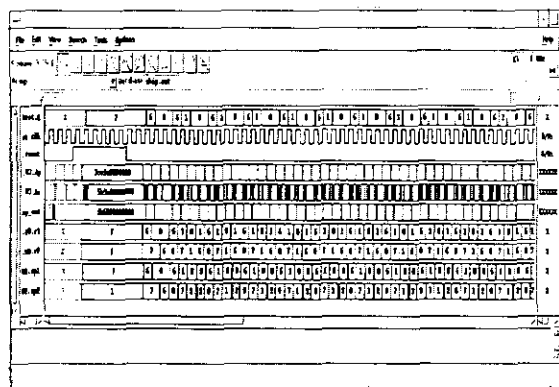


圖 7. TimeMill 模擬結果

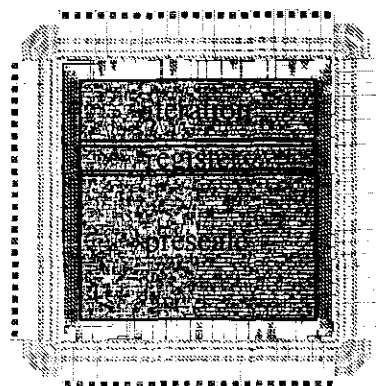


圖 8. 晶片佈局圖

五、參考文獻

- [1] Stuart F. Oberman and Michael J. Flynn, "Minimizing the complexity of SRT tables," *IEEE Trans. VLSI*, vol. 6, no. 1, pp. 141-149, Mar. 1998.
- [2] J. E. Robertson, "A new class of digital division methods," *IRE Trans. Electronic Computers*, vol. 7, pp. 218-222, Sept. 1958.
- [3] T. D. Tocher, "Techniques of multiplication and division for automatic binary computers," *Quarterly J. Mech. App. Math.*, vol. 2, pt. 3, pp. 364-384, 1958.
- [4] P. Montuschi and L. Ciminiera, "Over-redundant digit sets and the Design of digit-by-digit units," *IEEE Trans. Computers*, vol. 43, no. 3, pp. 269-279, Mar. 1994.
- [5] S. Kuninobu, H.E.T. Nishiyama, T. Tanaguchi, and N. Takagi, "Design of high speed MOS multiplier and divider using redundant binary representation," *Proc. Eighth Symp. Computer Arithmetic*, pp. 80-86, Como, Italy, 1987.
- [6] N. Burgess, "A fast division algorithm for VLSI," *Proc. IEEE Int'l Conf. Computer Design: VLSI in Computers and Processors*, pp. 560-563, Boston, Oct. 1991.
- [7] Stuart F. Oberman and Michael J. Flynn, "Design issues in division and other floating-point operations," *IEEE Trans. Computer*, vol. 46, no. 2, pp. 154-161, Feb. 1997.
- [8] Luis A. Montalvo, Keshab K. Parhi, and Alain Guyot, "New Svoboda-Tung division," *IEEE Trans. Computers*, vol. 47, no. 9, pp. 1014-1020, Sept. 1998.
- [9] M. C. Mekhallalati and M. K. Ibrahim, "New high radix maximally-redundant signed digit adder," *Proc. IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 455-462, 1999.