

低功率互補式金氧半呼叫器中頻鑑頻器

Chip Implementation of Low-Power CMOS FSK Discriminator For Intermediate Frequency Demodulation

計畫編號：NSC 89-2215-E-032-002

執行期限：88年8月1日至89年7月31日

計畫主持人：鄭國興 淡江大學電機系副教授

Email:cheng@ee.tku.edu.tw

一.中文摘要

在過去，VLSI 設計的目的地主要著重於高速的要求。而近幾年來則著重於低電壓低功率積體電路的開發。特別是用於可攜式電子產品如個人無線通訊系統，更有此須求。但是低電壓低功率數位電路常常也大大降低系統運作速度，而成為必須克服的問題[1][2]。

因此，在此篇研究中，我們使用 10kHz 當作此架構的參考頻率，此參考頻率低於一般傳統的中頻鑑頻器所使用的參考頻率，而在此電路中，最高的操作頻率為輸入訊號的兩倍，因為在 CMOS 數位積體電路中，功率消耗與操作頻率成正比，因此此鑑頻器具有低功率消耗的特性。另外，我們使用了 4-bit 計數器、4-bit 暫存器和 4-bit 減法器來鑑別兩種輸入訊號間的不同，我們可以由 HSPICE 之結果得知，此新架構之中頻鑑頻器的誤差容忍度改善相當的多。

關鍵詞：低功率數位電路、CMOS 數位積體電路、低頻參考頻率

Abstract :

In this research a low power digital IF-discriminator is proposed. A lower frequency reference clock 10kHz is used as the reference frequency in this new IF-discriminator circuit. The maximum operating frequency used in this new IF-discriminator circuit is two times of the input signal itself. Due to the power dissipation of CMOS digital integrated circuit is proportional to its operating frequency, the proposed new circuit has low power dissipation property.

Moreover, the new digital IF frequency-discriminator uses a 4-bit counter to identify the difference of input signal frequency. HSPICE simulation result shows that the tolerance margin of the new IF-discriminator for frequency variation is improved significantly. Keywords : Low power digital circuit, Low reference frequency.

二.計畫緣由與目的

目前 VLSI 設計技術發展可分為兩大重點：其一是低功率的需求而另一個是高速度的需求。但近年來功率消耗變成在 VLSI 設計時一個越來越重要的考量因素，其主要原動力來自於可攜帶式電子產品如行動電話及筆記型電腦等之被廣泛的使用。由於電路之功率消耗直接影響電池使用的壽命，因此愈耗電的電子產品所需要的電池愈大，這樣非常不討人喜歡。所以，大部分可攜帶式電子產品均講究省電功能，並且利用各種不同電路設計技巧，來達到節省功率消耗的目的。

現在中頻解調電路多採用類比式，在類比式中頻解調電路，乃是採用正交檢波器(quadrature detector)、低通濾波器與比較器來完成鑑頻動作，但因為正交檢波器具有不易積體化之電感元件，且受本身非線性之限制，僅能接收窄波信號；改採脈波計數方式設計出全數位式鑑頻器，但其存在耗電過大的缺點。因為先前技術存有不易積體化、耗電過大的缺點，所以希望利用數位化鑑頻技術特點來達成簡化設計、降低耗電之目的，以此來

設計一新架構之低功率互補式金氧半呼叫器中頻鑑頻器[3][4]。

傳統的鑑頻器之設計概念是以一較高頻的 clock 去計數其與欲鑑別頻率之間的倍數差，藉由兩輸入訊號所計數之倍數差的不同，來辨別兩種輸入訊號，而此一新架構之鑑頻器則一反傳統之作法，以一較低頻於輸入訊號的 clock 作為基準，並透過計數器來計數輸入訊號之週期數目，藉由兩輸入訊號所計數出之結果的不同，來辨別兩種輸入訊號（如圖 1）。本計畫已經研發出以 10kHz 作為參考頻率的電路，以此參考頻率控制內部電路將可大幅降低其功率消耗。

三. 研究方法及成果

從電路功率消耗的公式

$$\text{Power} = C_{\text{load}} * f * V_{\text{DD}}^2$$

我們可以得知，降低電容、操作頻率或電路工作電壓都是節省功率消耗的方法。由於鑑頻器較不需要操作於高速，所以我們著手研究一個使用較低參考頻率的鑑頻器，在此鑑頻器中我們使用 10kHz 作為參考頻率，此參考頻率遠低於一般傳統使用較高頻的參考頻率之鑑頻器，如此將使得功率消耗大幅地降低。

此一新架構之鑑頻器主要分為五個部分，我們將會利用倍頻器、計數器、暫存器、減法器與輸出控制電路（如圖 2）去辨別兩種輸入訊號（450kHz、460kHz）間的不同，首先，我們以倍頻器將輸入訊號作一類似倍頻之動作，以此拉開兩種輸入訊號間的差距，來提高鑑別的能力；再將倍頻之後的訊號輸入計數器中計數，並以參考頻率 10kHz 為計數器之 reset 訊號，即輸入 450kHz 之訊號經倍頻後應得之計數結果為 90 個週期，而 460kHz 之訊號經倍頻後便應為 92 個週期，但本鑑頻器是以一 4bit 計數器計數，因為 4bit 計數器所能計數的範圍為 0~15，所以原計數結果將因為計數器

重置(reset)了五次而變成了 10 與 12；而後再以兩暫存器分別儲存此次與上一次之計數結果，其時序亦由 10kHz 所控制，再以一減法器將兩暫存器之內容值相減，將其所得的值（包含 carry）輸入其後的輸出控制電路；輸出控制電路是針對輸入訊號作一邏輯運算，用以得到我們所欲設想得到的結果，其中當由減法器輸入之值大於或是等於+2 時便輸出“1”（表示此時之輸入訊號為 460kHz），若小於或是等於-2 時便輸出“0”（表示此時之輸入訊號 450kHz），若結果為 1 or -1 or 0 時，因為此減法結果應為輸入訊號因為雜訊而漂移，所以便保持上一個輸出之狀態，如此一來我們便可以清楚地分辨兩種輸入訊號。

在經由 Hspice 模擬驗證後，我們得知由於此電路之參考頻率遠低於一般傳統的鑑頻器，因此我們可以得到一個很小的功率消耗，而對於容錯能力而言，輸入訊號漂移的範圍介於-4.5kHz~+7kHz 之間，我們仍可正確地辨別輸入訊號，圖 3 為使用一個多工器來選取輸入訊號，以此實現模擬時之輸入訊號的改變，表 1 為此鑑頻器之效能列表。

四. 結論與討論

本鑑頻器是以 10kHz 作為基準頻率，其速度為 10kHz，功率消耗為 7.66uW，是為一低功率之鑑頻器。本鑑頻器可鑑別範圍 Δf 為 -4.5kHz ~ +7kHz，不過，當 $|\Delta f| > 2\text{kHz}$ 時，由於輸出波形與理想狀態有所差異而造成誤差，圖 4 為輸入為 450kHz 與 460kHz 時之行，圖 5 為輸入訊號漂移而造成輸出波形的誤差。

此鑑頻器有兩種改善效能之方法：
(1) 增加計數器之 bit 數

在本鑑頻器中，計數器之 bit 數為 4 bits，亦即可數範圍為 0~15，如 460kHz 將數出 12，但當計數器計數次數介於 0 與 15 之間時，將會產生問

題，因為當此次與上一次之計數結果分別為 16 與 15 時，本來 16-15 之結果應為 +1，卻因計數器之範圍限制，而變成了 $0 - 15 = -15$ ，故增加計數器之 bit 數可提高鑑頻範圍。

(2) 取樣電路

當 450KHz 與 460KHz 轉換時，計數器可能計數出 91 次而導致輸出誤差，即輸出週期比理想週期長或短。解決方法為對輸出值取樣，其取樣頻率為 Data rate 的一半，將每二個取樣值作判斷，若(1,1)時，輸出為“1”，表示為 460KHz 訊號；若(0,0)時，輸出為“0”，表示為 450KHz 訊號；若(1,0)或(0,1)時，其輸出為前一次輸出值的反相，如圖 6。

五. 執行成效

此鑑頻器之完整設計已送至“國家晶片設計中心”，申請製程為 0.6um 1p3m，申請製作之晶片編號為 T06-89E-23，圖 7 為完整晶片之佈局圖，另外，此鑑頻器之設計概念也已經投稿 ISCAS-2001 會議期刊，論文名稱為 A Low Power All Digital IF-Discriminator Design.

六. 參考文獻

[1] A. Bellaouar and M.I. Elmasry, “Low-Power Digital VLSI Design: circuits and system,” *Kluwer Academic Publishers*, 1995.

[2] A.P. Chandrakasan and R.W. Broderson, “Low Power Digital CMOS Design,” *Kluwer Academic Publishers*, 1995.

[3] 鄭會怡, “Chip Implementation of Digital IF FSK Demodulator”, 淡江大學碩士論文, 1996.

[4] 張浩彰, “Chip Implementation of IF-Demodulator for High Speed Pager Systems”, 淡江大學碩士論文, 1998.

[5] John G. Proakis (1994), Masoud Salehi, “Communication Systems Engineering” *Prentice-Hall*, 1994,

New Jersey.

[6] Rade Petrovic, and Andreas F. Molisch, “Reduction of multipath effects for FSK with frequency-discriminator detection”, *Waves of the Year 2000. PIMRC '97., The 8th IEEE International Symposium on Volume: 3, 1997, Page(s): 943-948 vol.3*

[7]. Chun-Cheng Chen, Yang-Han Lee and Rong-Hao You, “Chip Implementation of an Delta-Sigma Frequency Discriminator Using Characteristic Code Structure”. *Proceedings of the IASTED International Conference, Modelling and Simulation, May 5-8, 1999.*

[8] Yang-Han Lee, Hui-I Cheng, Hao-Chang Chang, Chun-Cheng Chen and Shen-Iusn Liu, “Digital IF FSK Demodulator for Pager Receiver”, *IASTED Modelling and Simulation, April 25-27, 1996, Pittsburgh, Pennsylvania U.S.A.*

[9] R. Douglas Beards. “An Oversampling Delta-Sigma Frequency Discriminator”, *IEEE Trans, on circuits and systems. II Analog and Digital signal processing. Vol.41, NO.1, January, 1994*

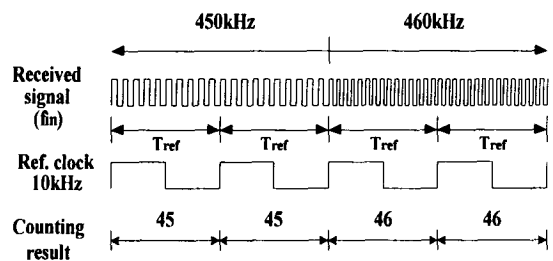
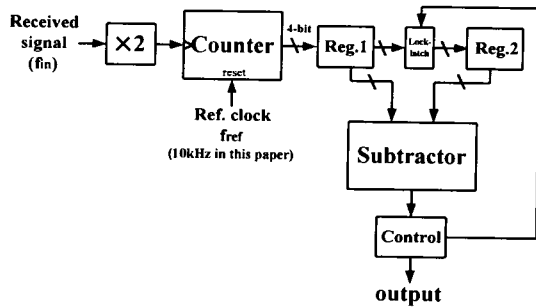
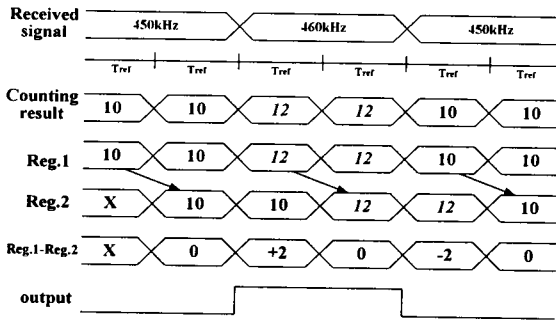


圖 1 本鑑頻器之操作原理



(a)



(b)

圖 2 本新架構之中頻鑑頻器之方塊圖與操作簡圖

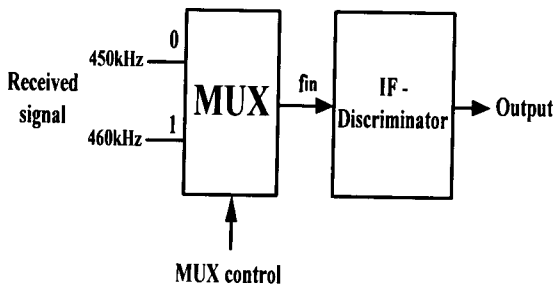


圖 3 使用多工器選擇輸入訊號之鑑頻器

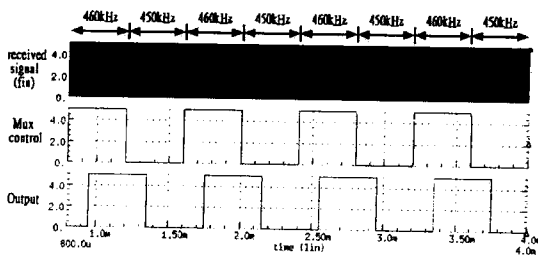


圖 4 輸入訊號為 450kHz 與 460kHz 時之波形圖

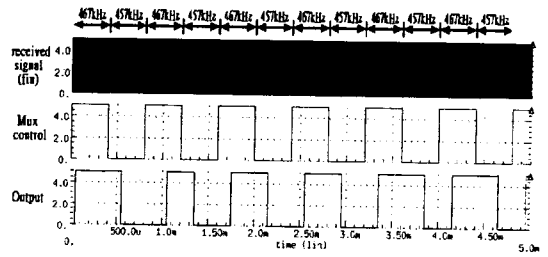


圖 5 輸入訊號為 457kHz 與 467kHz 時之波形圖

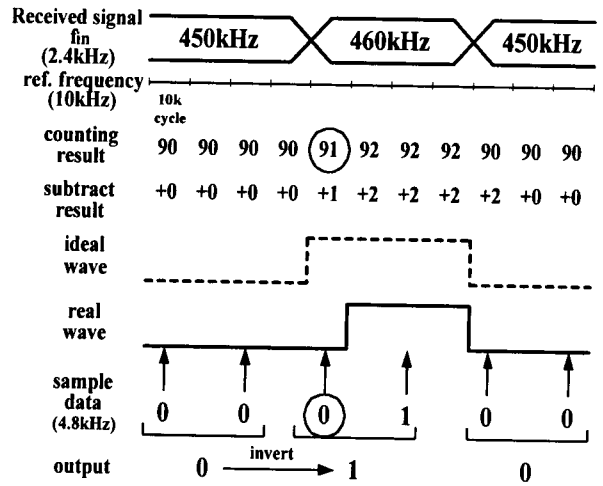


圖 6 取樣電路之操作原理

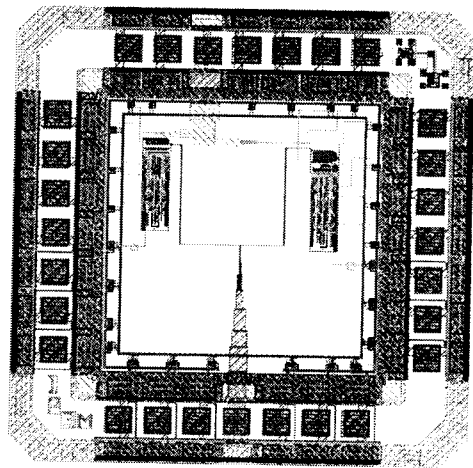


圖 7 完整晶片佈局圖

Reference frequency	Tolerance margin Δf	Power consumption
10kHz	-4.5kHz~ +7kHz	7.66uw

表.1 本中頻鑑頻器之效能列表