

3V_100MHZ 正反離散餘弦轉換器 IP 模組之研究與晶片研製
A Two Dimensional DCT/IDCT with
Overlapped Row-Column Operation and
the VLSI Design

計畫編號：NSC 89-2215-E032-003

執行期限：88 年 8 月 1 日至 89 年 7 月 31 日

計畫主持人：江正雄 淡江大學電機系副教授 Email:chiang@ee.tku.edu.tw

一. 中文摘要

離散餘弦轉換已經被廣泛地應用在數位圖像與數位影像信號的壓縮，並成為該技術之核心部分。我們在這個計劃中實現一個改良架構的二維離散餘弦轉換器 (Discrete Cosine Transform, DCT)，及其反離散餘弦轉換器 (Inverse Discrete Cosine Transform, IDCT)，並達到即時、高推送量的目的。

這個二維離散餘弦轉換器架構上的優點主要有：採取查表方式取代常係數乘法器，以加快運算速度及節省晶片面積；利用重疊行列運算方式來取代傳統架構所需的矩陣轉置，使得資料在管線化的架構中不需等待而變得更順暢，達到高推送率的效能。在由上至下的設計過程中，我們將以降低消耗功率為主要目標，在不同的設計層次加以分析改善，例如：演算法中減少乘法、加法等算數運算次數；邏輯設計上採用符合計算延遲範圍內功率較低的電路；加強控制時序以避免一些區塊空運轉。

關鍵詞：

離散餘弦轉換器，反離散餘弦轉換器，重疊行列運算，查表，矩陣轉置，管線化，高推送率

Abstract:

The discrete cosine transform (DCT) has been widely used as the core of digital image and video signal compression. This paper presents a regular architecture for high throughput rate two-dimensional discrete cosine transform (DCT) and its inverse discrete cosine transform (IDCT). Instead of the

transport RAM in traditional architecture, the overlapped row-column operation is used that can reduce the total latency of the pipelined structure. The multiplication of the six distinct constant coefficients in the DCT is accomplished by the look-up table and partial sum adder to reduce the area and cycle time. Our architecture has the characteristics of high regularity and modularity that is suitable for VLSI implementation.

Key word:

DCT, IDCT, overlapped row-column operation, look-up table, partial sum adder, pipelined, VLSI

二. 計劃緣由與目的

離散餘弦轉換 (Discrete Cosine Transform, DCT)[7]類似於離散複利葉轉換(DFT)，是一種正交轉換。DCT是一種將時間域信號轉成頻域信號的轉換，由於人類視覺對於高頻信號較不敏感，所以可將其轉換過的資料量化，留下低頻的信號作壓縮編碼。

二維的離散餘弦轉換可分解成兩個一維的運算，可分別在水平及垂直方向分處理。在影像處理過程中，通常將圖形為切割成固定大小的平面區塊 (block)，一個區塊包含 8x8 或 16x16 個像素(pixel)。

二維的離散餘弦轉換常以硬體方式實現以符合即時系統處理的需求。許多晶片中都包含了這個子電路，例如特定功能的視訊編解碼晶片，如 MPEG 編解碼器、通用性的數位信號處理器 (DSP)、或加強多媒體運算功能的中央處理器 (CPU with MMX) 等。

三. 研究方法及成果

本正反離散餘弦轉換器(DCT/IDCT)在電路實現中，包括了：「PLA 查表電路」(PLA Look-up Tables)、「累加運算電路」(accumulator)、「輸出單元」以及「控制電路」(Control)。

二維的 DCT 運算是一種正交且可分割的轉換，其定義如下：

$$Z(u,v) = \frac{2}{N} C(u)C(v) \sum_{i=0}^{N-1} \sum_{j=0}^{N-1} x(i,j) \cos \frac{(2i+1)u\pi}{2N} \cos \frac{(2j+1)v\pi}{2N} \quad (1)$$

其中 $x(i,j)$ 為影像像素資料， $Z(u,v)$ 為轉換後的資料，

$$C(u), C(v) = \begin{cases} 0, & \text{when } u = 0 \text{ and } v = 0. \\ \sqrt{2}, & \text{otherwise.} \end{cases}$$

在矩陣運算中，二維的 DCT 運算可以表示成 $Z = C^T X C$ ，其中 X 為影像資料矩陣， C 為 DCT 的係數矩陣。由式(1)改寫係數矩陣如下：

$$C_{k,l} = \begin{cases} \frac{1}{\sqrt{N}} & \text{for } l = 0, 0 \leq k \leq N-1 \\ \sqrt{\frac{2}{N}} \cos \frac{(2k+1)l\pi}{2N} & \text{for } 1 \leq l \leq N-1, 0 \leq k \leq N-1 \end{cases} \quad (2)$$

分解式(1)可得兩個一維的 DCT's：

$$Z(u, v) = \sqrt{\frac{2}{N}} \sum_{u=0}^{N-1} C(u) Y(v, i) \cos \frac{(2i+1)u\pi}{2N} \quad (3)$$

$$Y(v, i) = \sqrt{\frac{2}{N}} \sum_{j=0}^{N-1} C(v) x(i, j) \cos \frac{(2j+1)v\pi}{2N} \quad (4)$$

分解一維 DCT 之式(3)(4)改寫為：

$$C_1 = \begin{cases} \frac{1}{\sqrt{2}} & \text{for } l_1 = 0 \\ \cos \frac{(2m_1+1)l_1\pi}{2N} & \text{for } l_1 \neq 0, m_1=1.2\dots N \end{cases} \quad (5)$$

$$C_2 = \begin{cases} \frac{1}{\sqrt{2}} & \text{for } l_2 = 0 \\ \cos \frac{(2m_2+1)l_2\pi}{2N} & \text{for } l_2 \neq 0, m_2=1.2\dots N \end{cases} \quad (6)$$

在我們的設計中，二維的 DCT 運算由連結(cascaded)兩級一維的 DCT 及一個控制單元來構成，如圖 1 所示。根據行列分解(row-column decomposition)技巧，二維 DCT/IDCT 被分割為兩個一維的 DCT/IDCT's 來實現。第一級在 row order 計算輸入的資料，第二級在 column order 計算資料。

我們把 C_1 同乘 $\sqrt{2}$ ，而 8×8 二維

DCT 係數矩陣表示如下：

$$C_1 = \begin{bmatrix} 1 & c & a & -d & 1 & e & b & f \\ 1 & d & b & -f & -1 & c & -a & e \\ 1 & e & -b & -c & -1 & f & a & d \\ 1 & f & -a & -e & 1 & d & -b & -c \\ 1 & -f & -a & e & 1 & -d & -b & c \\ 1 & -e & -b & c & -1 & -f & a & -d \\ 1 & -d & b & f & -1 & -c & -a & e \\ 1 & -c & a & d & 1 & -e & b & f \end{bmatrix}$$

$$\text{其中 } a = \sqrt{2} \cos \frac{2\pi}{16}, b = \sqrt{2} \cos \frac{6\pi}{16}, c = \sqrt{2} \cos \frac{\pi}{16}, \\ d = \sqrt{2} \cos \frac{3\pi}{16}, e = \sqrt{2} \cos \frac{5\pi}{16}, f = \sqrt{2} \cos \frac{7\pi}{16}$$

在處理 DCT 的乘法部分，我們是以查表的方式來取代乘法器的設置。因為 DCT 運算上所相乘的係數均為固定的實數，所以針對任何一個係數，都可以事先找出所有可能的資料型態(pattern)，而將之儲存在可程式化邏輯電路。利用查表的方式可減少實際上因為乘法器所引起的計算延遲，而提高電路的速率；而所有可能的乘積的資料型態可再利用軟體工具進一步化簡，以節省實作電路的面積。在此，我們利用部分和(partial sum)的方式來降低查表電路的面積。圖 2 為查表電路的架構圖。在權衡功率消耗、電路佈局面積，以及運算速度上的要求之後，我們決定以可程式化邏輯陣列(PLA)來構成查表電路。採用互補式金氧半導體、單時脈、混合式動靜態架構(mixed static and dynamic structure)的 PLA 來作為此查表電路的硬體。這裡的 PLA 是以 AND plane 和 OR plane 來構成其輸入與輸出的部分。

第一級的一維 DCT/IDCT 區塊圖如圖 3 所示。此架構包含乘法區塊(multiplication block)以及累加器(accumulator)，而多工器(multiplexer)介於乘法區塊以及累加器之間。乘法區塊藉由查表方式實現。第一級整個電路由五個部分所組成，分別是：PLA, partial sum adder, path multiplexer, accumulator 和 round-off circuit。加法器寬度設計為

18-bit。為了增加速度，採用 CLA 架構。輸入的影像資料依序饋入第一級的一維 DCT/IDCT 中，然而輸入的資料與係數相乘的結果也同時產生。連續 8 個資料在累加器(accumulator)累加後，其內容將經過輸出多工器(output multiplexer)送至輸出暫存器(output register)。為了確保精確度，加入 round-off circuit 到輸出暫存器。

第二級的一維 DCT/IDCT 和第一級非常相似，而區塊圖如圖 4 所示。在第一級所有分布的暫存器皆為一組，但在第二級擴充為 8 組。將暫存器設置變為 8 組之目的，在於透過控制信號的驅動來使暫存器達到重疊的行與列運算(overlapped row-column operation)，和矩陣轉置的運算以及第二級一維 DCT/IDCT 運算。通過第一級一維 DCT 運算的資料矩陣 $Y_{8 \times 8}$ 進入第二級的一維 DCT 運算時，輸入的次序依"row"的次序來輸入。然後每一筆資料都會進入 8 個乘法單元之中，之後進入輔助暫存器中同時進行累加運算；而在進入輔助暫存器的時候，原本是橫向的"row"的次序排列被轉向成縱向的"column"的次序排列。如此，依"row"的次序輸入和計算，而後以"column"的次序輸出的方式便達成的矩陣轉置的動作。所以在完成二維 DCT 的運算過程中不須等待矩陣的轉置。

故我們設計的 DCT/IDCT 是具有完全的管線式結構(fully pipeline structure)，亦即具有完全的資料推送率(Throughput-Rate = 1)。

在所有電路單元設計完成後，接著進行整體電路的邏輯功能模擬驗證，以確定各電路單元的功能無誤與控制信號是否能精確地驅動整體電路，達到正確的二維 DCT 運算。在整體電路的邏輯功能模擬驗證無誤後，即引入細胞元資料庫(Cell Library)進行電路合成(Synthesis)，然後將合成的電路以 Verilog 格式儲存成*.vp 之檔案型式，再

進行配合細胞元資料庫(Cell Library)的 Verilog 模擬，加上了實際細胞元電路的時間延遲考量，以進一步模擬接近實際電路的動作情形。如圖 5 所示。使用時脈信號的週期為 10ns，所以使用查表系統的二維 DCT 運算速度為 100MHZ。

四. 結論與討論

我們所使用的細胞元資料庫(Cell Library)是國科會晶片製造中心(CIC)所提供的，此細胞元資料庫是使用 0.35 微米單層矽晶肆層金屬半導體電路(0.35 μ m、1p4m CMOS)。整體電路的佈局，首先將各模組電路的*.vp 檔由 Cadence 的 Verilog In 來產生符號(Symbol)圖和電路(Schematic)圖，然後利用各模組電路的符號圖和 PLA 電路圖的符號圖，加上輸入、輸出的接腳電路圖等所構成的電路圖開始進行自動佈局與繞線(Auto Place And Route)。圖 6 為完整晶片的佈局圖。

我們嘗試結合了[1]、[2]、[3]架構上的優點與特性而設計出新的架構來實現二維 DCT 的運算。我們採用了記憶體查表取代乘法器[3]，以降低計算的延遲；利用暫存器的控制來進行重疊的行與列運算[2]，以達成矩陣轉置的動作，並且取代轉置記憶體的設置，進而有效降低整體的週期。所以新架構的 DCT 確實可以達到高速運算的要求，並且能夠是用在多媒體及 HDTV 等各方面應用。

五. 參考文獻

- [1] J. C. Carlach, P. Penard, J. L. Sicre, "TCAD: A 27 MHz 8x8 Discrete Cosine Transform Chip," *Proceedings of IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP'89)*, pp. 23-26, vol. 4, 1989.
- [2] S. P. Kim, and D. K. Pan, "Highly modular and concurrent 2-d DCT

chip,” *Proceedings of IEEE International Symposium on Circuit and System (ISCAS)*, pp.1081-1084, 1992.

- [3] M.-H. Sheu, L.-Y. Lee, J.-F. Wang, and L.-Y. Liu, “A High throughput-rate architecture for 8x8 2-D DCT,” *Proceedings of IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP'93)*, pp. 1587-1590, 1993.
- [4] S-I Uramoto, Y. Inoue, A. Takabatake, J. Takeda, Y. Yamashita, H. Terane, and M. Yashimoto, “A 100-MHz 2-D Discrete Cosine Transform Core Processor,” *IEEE Journal of Solid-State Circuit*, pp. 492-498, 1992.
- [5] J-S Chiang and H-C Huang, “Novel architecture for two-dimensional high throughput rate real-time discrete cosine transform and the VLSI design,” *INT. J Electronic*, pp. 519-527, 1997.
- [6] C-C Ju and C-Y Lee, “A High Throughput DCT/IDCT Architecture with Application to Digital Video CODEC System,” *The 8th VLSI Design/CAD Symposium, Taiwan*, pp. 93-96, 1997.
- [7] N. Ahmed, T. Natarjan, and K. R. Rao, “Discrete Cosine Transform,” *IEEE Transactions on Computers*, vol. C-23, pp. 90-93, Jan.1974.

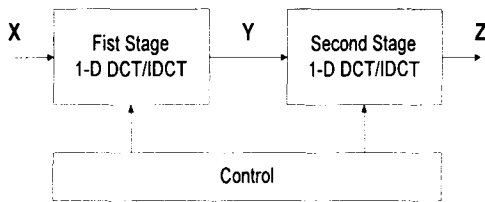


圖 1. 二維 DCT 區塊圖

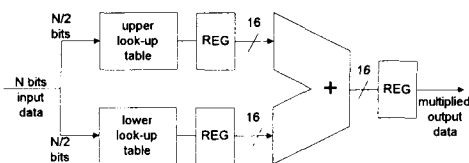


圖 2. 查表電路架構圖

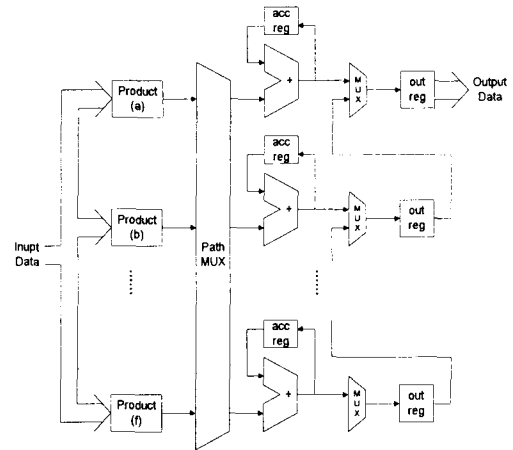


圖 3. 第一級一維 DCT 架構圖

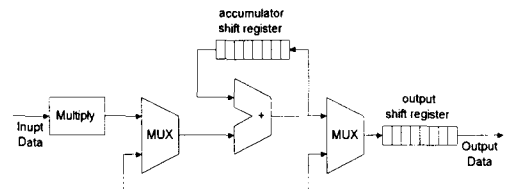


圖 4. 一個第二級一維 DCT 架構圖

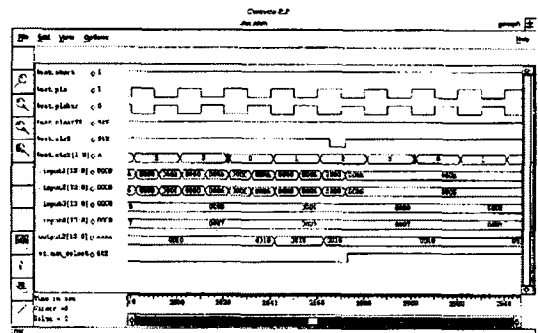


圖 5. 二維 DCT 整體電路的 Gate-Level 模擬波形圖

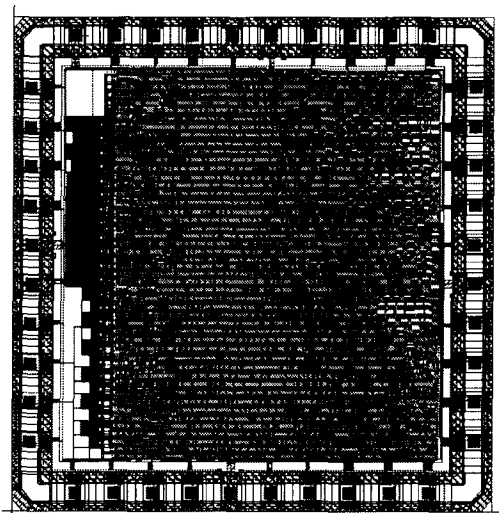


圖 6. 完整晶片佈局圖