

# 高性能混合訊號積體電路與系統之設計與研製(三)-子計劃四： 低電壓低功率數位積體電路設計合成及其應用(三)

## Low-Voltage Low-Power Digital IC Design, Synthesis and Its Application( )

計畫編號：NSC 88-2215-E-032-002

執行期限：87年8月1日至88年7月31日

計畫主持人：鄭國興 淡江大學電機系副教授 Email:cheng@ee.tku.edu.tw

### 一.中文摘要

在過去，VLSI 設計的目地主要著重於高速的要求。而近幾年來則著重於低電壓低功率積體電路的開發。特別是用於可攜式電子產品如個人無線通訊系統，更有此須求。但是低電壓低功率數位電路常常也大大降低系統運作速度，而成為必須克服的問題。

本研究計劃除了研究低電壓低功率積體電路外，並將開發之低電壓低功率電路整合至細胞元資料庫中，以支援『高性能混合訊號積體電路與系統之設計與研製』總計劃之電路開發與設計。所以，本計劃研究方向分成三點：

- (1)常用低電壓數位邏輯閘之設計、模擬。
- (2)建立常用低電壓數位邏輯閘細胞元之各種設計模式參數 (view)。
- (3)Verilog, Synopsys 進行常用之簡單數位系統〔如乘、加法器等〕的自動合成、佈局及驗正。

本子計畫，為三年計畫中之第三年；本計畫之第一年度已研發出可適用於 1.2V 電壓下工作，而不需更改一般 5V 積體電路製程之新型低功率數位邏輯電路。第二年度之工作在於將此電路併於 VLSI CAD 設計環境之中。此外，在第一年的研究中發現，於低功率數位系統設計中，有關匯流排之緩衝器或推動器的設計，為數位電路中重要功率消耗之考慮因素，所以第二年亦進行高性能緩衝器的設計研發工作。

本年度(第三年度)將應用此低功率數位設計合成，配合總計畫所需，完成可用於無線通訊系統之數位處理晶片設計。同時在近兩年對，pass-transistor logic 是否適用於低功率數位系統設計，有兩極化之看法。所以這一部份亦將併入本年度之研究中，亦已經提

出相當的研究成果。

關鍵詞：低功率數位電路、細胞元、自動合成、低功率高性能數位緩衝放大器

Abstract :

For the cell-based IC design environment, we have developed a new type of low-power CMOS logic circuit cells. Compared with conventional CMOS circuits, the new CMOS logic circuit cells are provided with low-voltage and high-speed. The Discrete Cosine Transform (DCT) is implemented by the new CMOS logic circuit cells. In today's sub-micron CMOS integrated circuit technology, the increasingly large clock capacitance load and buffer capacitance load is due to their higher degree of integration.

During the final year of the three-year project, the low-power low-voltage DSP chips and function blocks for wireless communication applications were developed. It also found that various opinions of the pass-transistor logic for low power application. The analyses of the pass-transistor logic family for low power applications were included in this year.

Keywords: Low-Power, High-Speed, Low-Voltage, Logic Synthesis, Pass-transistor Logic, PTL.

### 二.計畫緣由與目的

目前 VLSI 設計技術發展可分為兩大重點：其一是低功率的需求而另一個是高速度的需求。但近年來功率消耗變成在 VLSI 設計時一個越來越重要的考量因素，其主要原動力來自於可攜帶式電子產品如行動電話及筆記型電腦等之被廣泛的使用。由於電路之功率消耗直接影響電池使用的壽命，因此愈耗電的電子產品所需要的電池愈大，這樣非常不討人喜歡。所以，大部分可攜帶式電子產

品均講究省電功能，並且利用各種不同電路設計技巧，來達到節省功率消耗的目的。

在第一年及第二年度子計畫已經研發出可以適用於 1.2V 工作電壓下操作之邏輯電路，而且不用更改一般 5V 之積體電路製程。在建立自高階硬體設計語言 Verilog 至自動完成佈局及繞線(APR)的低功率數位電路系統自動化設計流程上。在傳統基本邏輯閘設計上我們採用 CMOS 作為基本細胞元，而在大細胞元資料庫上我們採用低功率常用低功率數位邏輯閘，此低功率數位邏輯閘將包含由本身所開發之新邏輯電路 (Low-power Current-Sensing Complementary Pass-transistor Logic, LCSCPTL)，此操作速度將比目前最被認可之低功率數位電路 CPL 邏輯電路快上兩倍，而消耗功率仍相同或更少。除此之外，亦配合其他低功率數位電路設計，來完成所需之基本邏輯閘細胞元資料庫設計。

所以今年度第三年度的主要工作，在於利用所研發之新型低功率數位邏輯閘，用以支援整體計畫所需之低電壓、低功率數位系統設計，完成數位處理晶片之設計；更進一步來了解各種 Pass-Transistor Logic 於不同製程，不同操作電壓下的性能，以解決近兩年針對 Pass-Transistor Logic 是否適用於低電壓、低功率 Digital IC Design 的兩極化看法爭端，並加以深入探討。

### 三.研究方法及成果

從電路功率消耗的公式

$$\text{Power} = C_{\text{lad}} * f * V_{\text{DD}}^2$$

我們可以得知，降低電路工作電壓是節省功率消耗最有效的方法。

在第一年及第二年度針對互補式帶通電晶體邏輯 (Complementary Pass-transistor Logic, CPL)，具有只有使用 NMOS 來構成帶通邏輯以及互補訊號的輸出的優點，加上利用 DRAM 裡面小訊號電壓擺幅偵測的觀念，於是我們提出新型低功率電流偵測互補式帶通電晶體邏輯 (Low-power Current-Sensing Complementary Pass-transistor Logic, LCSCPTL)。因為在低電壓擺幅下，電流偵測機構要比電壓偵測機構有較快的感應速度，所以其速度要比傳統 latched CPL 快上 2~2.5 倍，並且擁有較佳的驅動能力，因此所提出 LCSCPTL 架構將大幅改進功率消耗與延遲時

間之乘積。並且本電路架構非常適合設計操作在 1.2V 的電壓下，而且不必更改現有的 5V 互補式金氧半電晶體製程。在基本小細胞元中如：2-Input NAND、2-Input NOR.....等邏輯電路，我們採用傳統 CMOS 電路設計，因為其功率消耗和速度都在可接受的範圍內。而在較大細胞元方面如加法器，我們則採用 LCSCPL 的電路架構來設計[2]，以符合低電壓低功率的要求。同學們也利用新的細胞元資料庫，成功的完成離散餘弦轉換(DCT)電路的合成(如 Fig. 5 所示)。而在緩衝放大器部分，因為資料的輸出/輸入需要很大的電流，所以在 IC 的功率消耗中緩衝放大器的功率消耗亦佔有相當的比例。因此我們提出兩種低功率緩衝放大器的架構[1]，以供低功率電路設計使用。在經由 Hspice 模擬驗證後，以上兩種低功率緩衝放大器電路的功率消耗皆降低 20%以上。因此，這兩種低功率緩衝放大器電路皆可應用於大型數位積體電路系統之中。

針對計畫第三年目標，在進行常見之 Baseband 數位訊號處理及 Digital Filter 之低電壓、低功率設計上，我們完成了 Multirate Linear Phase Digital Filter，有效的降低 layout 面積與功率消耗[5]，Low-Power All Digital Down Converter 有效的減少延遲時間與功率消耗[6]，Low-power 2-D DCT 與 Low-power Conditional Carry Adder 有效的降低 layout 面積與功率消耗[3][4]...等多個晶片設計。證明我們所改良的帶通式電晶體邏輯，確實適用於低電壓低功率積體電路設計。在低電壓低功率數位邏輯細胞元資料庫部分我們共做了 63 組(如 Table 1 所示)，因此可用於低功率數位系統的合成與設計。

### 四. 結論與討論

本年度(即第三年度)在進行常見之 Baseband 數位訊號處理及 Digital Filter 設計上已有具體成果[5][6]，並已完成 Verilog -- Synopsys 合成之模擬驗證。在低電壓低功率數位邏輯細胞元資料庫部分我們共做了 63 組(如 Table 1 所示)，因此可用於低功率數位系統的合成與設計，但是由離散餘弦轉換(DCT)電路的合成發現，其效果不如預期突出。我們發現問題之所在，在於帶通式電晶體邏輯 (Pass-transistor Logic) 用於 Cell-Based 設計，

從輸入端所看到之電容  $C_g$ ，對 Timing Model 造成不易正確估算的影響。因此得到一結論，帶通式電晶體邏輯較適用於 Fully Customer 設計；因此並未將模擬完整的 Cell-Based 設計晶片下線。

我們針對帶通式電晶體邏輯作了更進一步的完整分析。利用 CIC 所提供之不同 IC 製程及不同的操作電壓，對不同的帶通式電晶體邏輯，進行模擬分析得到了許多重大的成果[2][3][4][7][8][9][10]，證明我們所改良的帶通式電晶體邏輯，確實適用於低電壓低功率積體電路設計。

綜合以上討論，在低電壓、低功率數位邏輯細胞元資料庫建立上，我們使用 LCSCPTL 的電路來完成，以達到低電壓低功率的需求。

### 五. 歷年度發表成果

我們已經發表的成果僅列如下：

[1] Kuo-Hsing Cheng and Wei-Bin Yang, "The Charge-Transfer Feedback-Controlled Split-Path CMOS Buffer," Proc. of IEEE Trans. on Circuits and Systems Part II, Analog and Digital Signal Processing, vol. 46, pp. 346-348. March. 1999 (EI; SCI).

[2] Kuo-Hsing Cheng and Yii-Yih Laiw, "A 1.2V CMOS Multiplier Using Low-Power Current Sensing Complementary Pass-Transistor Logic," Submitted to IEEE J. Solid-State Circuits.

[3] Kuo-Hsing Cheng and Shun-Wen Cheng, "The Improvement of Conditional Sum Adder for Low Power High-Speed Applications," Submitted to IEEE Trans. on Computers.

[4] Kuo-Hsing Cheng, Shu-Min Chiang, and Shun-Wen Cheng, "The Improvement of Conditional Sum Adder for Low Power Applications," Proc. of 1998 IEEE International ASIC Conference, New York, Sep. 13-16, 1998. pp. 131-134.

[5] Kuo-Hsing Cheng, and Cheng-Chung Sun, "An Efficient FIR Filter Design for VLSI Implementation," Proc. of 1998 International Symposium on Nonlinear Theory and its Applications, NOTA'98, Crans-Montana, Switzerland, Sep. 14-17, 1998. pp. 815-818.

[6] Kuo-Hsing Cheng, and Yu-Hsiang Chen, "Low-Power All Digital Down Converter for IS-95 Forward Link Demodulation," Proc.

of 1998 International Symposium on Nonlinear Theory and its Applications, NOTA'98, Crans-Montana, Switzerland, Sep. 14-17, 1998. pp. 425-428.

[7] Kuo-Hsing Cheng, Tsong-Liang Huang, and Chih-Sheng Huang, "The Design and Analysis of Pass-Transistor Logic for Low Power Applications," Proc. of 1998 International Conference On ASIC, ASICON'98, Beijing, Oct. 21-23, 1998. pp. 253-256.

[8] Kuo-Hsing Cheng and Ven-Chieh Hsieh, "High Efficient 3-input XOR for Low-Voltage Low-Power High Speed Applications," Proc. of The First IEEE ASIC Pacific Conference on ASICs, AP-ASIC'99, Seoul, Korea, Aug. 23-25, 1999. pp. 166-169.

[9] Kuo-Hsing Cheng and Wei-Bin Yang, "The Suggestion for CFS CMOS Buffer," Proc. of The 6th IEEE International Conference on Electronics, Circuits, and Systems, ICECS'99, Pafos, Cyprus, Sep. 5-8, 1999, vol. II, pp. 779-802.

[10] Kuo-Hsing Cheng and Chih-Sheng Huang, "The Novel Efficient Design of XOR/XNOR Function for Adder Applications," Proc. of The 6th IEEE International Conference on Electronics, Circuits, and Systems, ICECS'99, Pafos, Cyprus, Sep. 5-8, 1999. Vol. I.

And2	And3	And4	And5	and6	aoi21
aoi23	Aoi31	Aoi31	Buf1	buf2	buf3
Dff	Dff_c	Dff_lc	Dff_p	dff_p_c	dllh
Hadd	Inv1	Inv2	Inv3	inv9	inv27
Mux2	Mux4	Mux8	Nand2	nand3	nand4
Nor2	Nor3	Nor4	Nor5	nor6	oai21
oai222	Oai23	Oai31	Oai33	or2	or3
or6	Rs1h	Smt	Tbufa	tbufb	tinva
tff_p_c	Xnor2	Xor3	Xor2	xor3	nand6
aoi222	Buf27	Fadd	Jkff_p_c	or5	tff_c
aoi221	Buf9	Dlh_c	Jkff_c	nand5	oai221
or4	Tinva	Oai22			

Table 1. 低電壓低功率數位邏輯細胞元資料庫

Technology	0.6 $\mu$ m CMOS SP1M
Pin Count	32
Input Data	5-bit/9.668MHz
Output Data	14-bit/2.4576MHz
Pass band Frequency	620KHz
Stopband frequency	1.2288MHz
Pass band ripple	0.1 dB
Stopband attenuation	-40 dB
Transistor Count	85124
Chip Size	2600 $\times$ 2600 $\mu$ m <sup>2</sup>

Table 2. The feature of the Multirate Phase Digital Filter

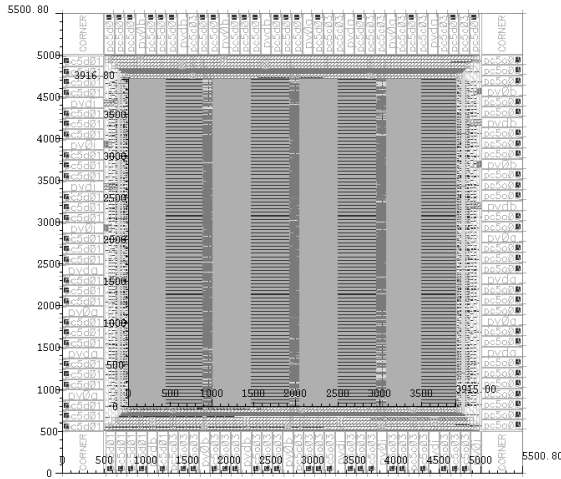


Figure 1. The Layout of the 2-D DCT/IDCT

Input data format	9-bit (DCT), 12-bit (IDCT)
Output data format	12-bit (DCT), 9-bit (IDCT)
Performance of gate level simulation	8 ns (125 MHz)
Performance of transistor level simulation	10 ns (100 MHz)
Core area	3916.5 × 3915 μm <sup>2</sup>
Chip area	5500.8 × 5500.8 μm <sup>2</sup>
Gate count	38,973.75
Transistor count	155,895
Technology Cell Library	Compass 0.6 μm Cell Library
Process Technology	TSMC 1P3M CMOS

Table 3. The feature of the 8×8 2-D DCT/IDCT chip

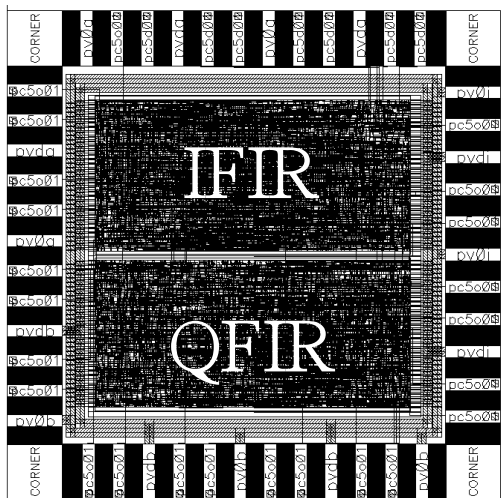


Figure 2. The Layout of the Low-Power All Digital Down Converter (ADDC) Chip

Technology	0.6μm CMOS SPTM
Symbol Rate	1.2288 MHz
Input Word Length	5 bits
Internal Word Length	16 bits
Output Word Length	I、Q channel 12 bits
FIR tap number	24 taps
FIR stopband attenuation	60 dB
FIR cut off frequency	1.5 MHz
Transistor Count	85124
Chip Size	4411×4339μm <sup>2</sup>

Table 4. The feature of the ADDC Chip

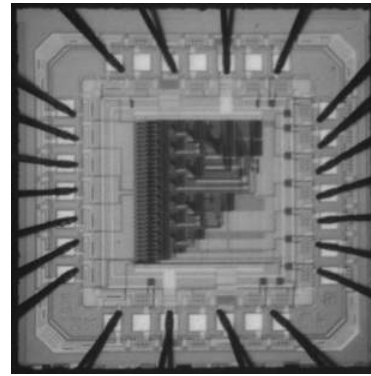


Figure 3. The layout of 32 bit Conditional Sum Adder (CSA) using CPL/LCSCPL logic for low-voltage (~1.2volt) design (Differential-end).

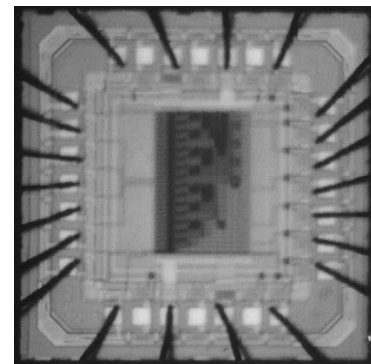


Figure 4. The layout of 32 bit New Proposed Conditional Carry Adder (CCA) using CPL / LCSCPL logic for low-voltage (~1.2volt) design (Differential-end)

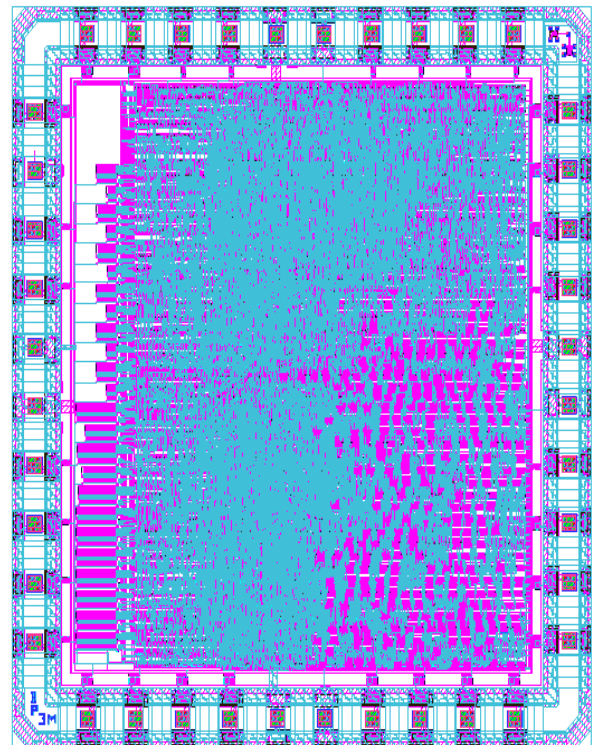


Figure 5. 8×8 2-D DCT 使用 Low-Power Cell