

行政院國家科學委員會專題研究計畫 成果報告

應用於 IEEE 802.11a 系統之低功率高效能類比數位與數位
類比轉換器(I)

計畫類別：個別型計畫

計畫編號：NSC93-2215-E-032-001-

執行期間：93年08月01日至94年07月31日

執行單位：淡江大學電機工程學系

計畫主持人：江正雄

計畫參與人員：陳信良，李易聰

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 9 月 28 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

應用於 IEEE 802.11a 系統之低功率高效能類比數位與數位類比轉換器

Low Power High Performance A/D and D/A Converter for IEEE 802.11a

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 93 - 2215 - E - 032 - 001 -

執行期間：93 年 08 月 31 日至 94 年 07 月 31 日

計畫主持人：江正雄

共同主持人：

計畫參與人員：陳信良、李易聰

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：

中 華 民 國 年 月 日

行政院國家科學委員會專題研究計畫成果報告

應用於 IEEE 802.11a 系統之低功率高效能類比數位與數位類比轉換器

Low Power High Performance A/D and D/A Converter for IEEE 802.11a

計畫編號：93-2215-E-032-001-

執行期限：93 年 08 月 01 日至 94 年 07 月 31 日

計畫主持人：江正雄 淡江大學電機系副教授 Email: chiang@ee.tku.edu.tw

計畫參與人員：陳信良 博士班研究生 E-mail: hlchen@ee.tku.edu.tw

李易聰 碩士班研究生 E-mail: ytli@ee.tku.edu.tw

中文摘要

本計畫完成應用於 802.11a 系統下之寬頻低功率三角積分調變器，使用 TSMC 0.18 微米 1P6M 標準製程加以設計實現。工作電壓為 1.8V，寬頻為 10MHz，取樣頻率為 160MHz，超取樣比為 8。模擬結果顯示動態輸入範圍為 74dB，而最大的訊號雜訊失真比為 70dB，總功率消耗 38mW。

Abstract

In this report, a 20-Msample/sec and 12-bit resolution sigma delta modulator for 802.11a applications is presented. The distributed feedback with a forward input and resonator feedback schemes are utilized to implement this modulator. The fifth-order 3-bit quantizer single-loop sigma delta modulator achieves 20-MS/s conversion ratio with 74dB of dynamic range and 70dB of peak signal-to-noise-distortion ratio. The circuit is implemented in a standard 0.18- μm 1P6M CMOS technology. The core area is 0.77mm² (1.1mm x 0.7mm) and the power consumption is only 38-mW at 1.8-V supply voltage.

一、 計畫緣由與目的

在全球各地區，WLAN 目前皆屬起步階段，主要被使用的標準有 IEEE802.11a、802.11b、802.11g 三種[1]。WLAN 的傳輸頻道是由美國聯邦通訊委員會(FCC)所制定，由於有多個標準同時存在，許多國際 IC 設計大廠紛紛推出整合不同標準的 Solution，在未來 WLAN 的標準將是 802.11a 與 802.11g 共存的情況。

在寬頻系統中，速度與解析度通常是需要做適當的協調，甚至是成反比的一個關係，尤其對 CMOS 的製程而言更是如此；另外，在消耗功率上，隨著速度或是解析度的增加功率是不斷的提昇，若要同時達到低功率、高速度與高解析度的要求，將會是一項相當具有挑戰性的設計。802.11a 的系統[2]如何有效的節省電源的消耗是這個系統的晶片必須加以考慮的問題。所以在設計 ADC 時，對架構的選擇與電路技術的考量是必須要謹慎的考慮[3][4]。

本計畫必須在整體系統規格的考慮下，由上述的系統規格中，選擇適合 802.11a 系統使用的 ADC。另外，在設計 ADC 時，由於未來的 WLAN 將使用在許多具行動概念的器材上，在設計電路時，亦將從低功率消耗 (Low Power)、高速(High Speed)與高解析度 (High Resolution)等三項特點同時進行考量，以求達到長時間使用及降低成本的目的。

二、 研究方法與成果

在設計考量上由於類比電路中的積分器會產生許多非理想的誤差，如有限的直流增益，電容偏差...等等，這些電路上的非理想誤差會對高階三角積分調變器造成很大的影響，在本論文中將非理想的誤差用 Matlab 來將其加入模型中，以期達到更精準的高階三角積分調變器性能；由此模型訂出最佳化的係數及電路規格，這樣便可以節省設計的時間，而且在電路實現時也會有設計的準則及目標。

ADC 來完成，如 Fig. 5 所示，電路中需要 8 個比較器來辨別 8 個參考電位，最後再經由 Encoder 來將個比較器輸出訊號編碼成 3 位元訊號；而在符合低功率的需求下，比較器的電路以 regenerative latch comparator 來完成之，如 Fig. 6 所示。

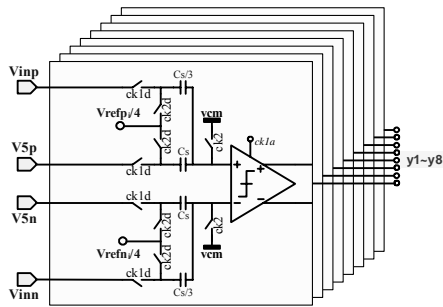


Fig. 5：三位元 flash ADC

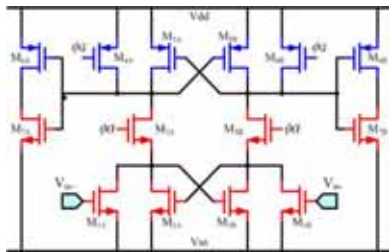


Fig. 6：比較器電路

三、 預計規格與模擬結果

預計規格列表

Table 1： Performance summary

Specifications	Value
Sampling rate	160 MHz
OSR	8
Signal bandwidth	10 MHz
Peak SNDR	70 dB
Dynamic Range	74 dB
Power consumption	38 mW
Active Area	1.4×1.05 mm ² , 1.8-V
Process	TSMC 1P6M 0.18um CMOS

Table 2： Sigma delta modulator performance comparisons

	ENOB (Bit)	f_{BW} (MHz)	Process	Power (mW)	FOM (pJ)
Park [11]	14.5	2.5	0.35μm-5V	495	4.2
Geerts [12]	12.5	6.25	0.65μm-5V	380	5.2
Balmelli [5]	14	12.5	0.18μm-1.8V	200	0.49
This work	12	10	0.18μm-1.8V	38	0.46

模擬結果

Fig. 7 為此計劃之電路佈局圖。因其輸出為三位元的數位資料，所以必須將此數位資料作 FFT 運算，並取得 power spectrum，以便觀察 noise 的分佈及計算 SNDR 值，Fig. 8 為 Post Layout Simulation 下所得到輸出訊號的頻譜分析圖，輸入頻率為 3MHz，振幅為 0.45V，紅色線為雜訊累加的曲線。而根據不同輸入振幅去計算頻寬內的 SNDR 值可得 Fig. 9 的結果。

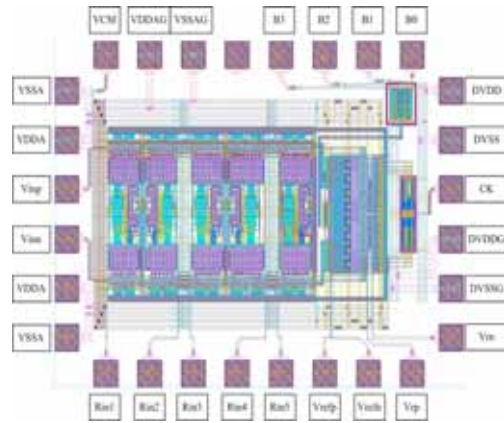


Fig. 7：電路佈局圖

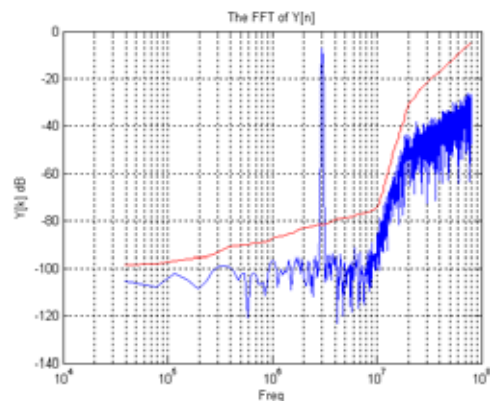


Fig. 8： Output spectrum of the modulator (post layout simulation).

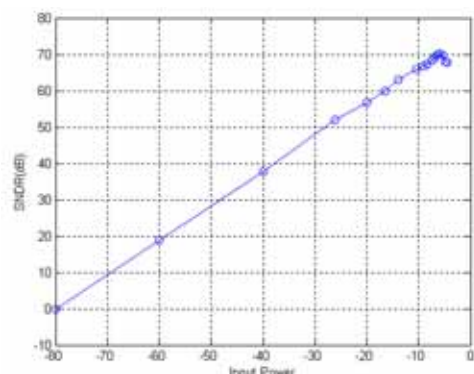


Fig. 9: The dynamic range of the modulator.

四、 結論與討論

在寬頻系統中，低功率消耗是手持行動通信器具一項非常重要的指標，因此這個計畫提出一個適用於WLAN 802.11a的低功率積分三角調變器；總功率消耗只有38mW，且具有74dB的動態範圍。測試晶片使用TSMC 0.18 μ m製程，使用面積為0.77mm² (1.1mm x 0.7mm)。

五、 參考文獻

- [1] “Information Technology Telecommunications and Information Exchange Between Systems Local and Metropolitan Area Networks Specific Requirements. Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications,” *ISO/IEC 8802-11, ANSI/IEEE Std 802.11*, 20 Aug. 1999.
- [2] J. Thomson, B. Baas, E. M. Cooper, J. M. Gilbert, G. Hsieh, P. Husted, A. Lokanathan, J. S. Kuskin, D. McCracken, B. McFarland, T. H. Meng, D. Nakahira, S. Ng, M. Rattehalli, J. L. Smith, R. Subramanian, L. Thon, Y. H. Wang, R. Yu, and Z. Xiaoru. “An Integrated 802.11a Baseband and MAC Processor,” *IEEE International Solid-State Circuits Conference, ISSCC*, vol. 4, Feb. 2002.
- [3] S. Ray, P. Tadeparthi, S. S. Rath, D. B. Lavanmoorthy, C. P. S. Sujit, and S. Mathur, “A Low Power 10 Bit 80 MSPS Pipelined ADC in Digital CMOS Process,” *IEEE MWSCAS Circuits and Systems*, vol. 1, pp. 579-582, Aug. 2002.
- [4] S. R. Norsworthy, R. Schreier, and G. C. Temes, Eds., *Delta-Sigma Data Converters: Theory, Design, and Simulation*, New York: IEEE Press, 1996.
- [5] Pio Balmelli and Qiuting Huang, “A 25MS/s 14b 200mW Sigma Delta Modulator in 0.18 μ m CMOS,” *IEEE International Solid-State Circuits Conference, ISSCC*, vol. 4, 2004.
- [6] J. G. Kenney and L. R. Carley, “Design of Multibit Noise-Shaping Data Converters,” *Analog Integrated Circuits Signal Processing Journal*, vol. 3, pp. 259-272, 1993.
- [7] P. Malcovati, S. Brigati, F. Francesconi, F. Maloberti, P. Cusinato, and A. Baschiroto, “Behavioral Modeling of Switched Capacitor Sigma Delta Modulators,” *IEEE Trans. Circuits Syst. I*, vol. 50, pp. 352-364, Mar. 2003.
- [8] R. Gaggl, M. Inversi and A. Wiesbauer, “A Power Optimized 14-Bit SC Sigma Delta Modulator for ADSL CO Applications,” *IEEE International Solid-State Circuits Conference, ISSCC*. Vol. 4, 2004.
- [9] K. Gulati and H. S. Lee, “A High-Swing COMS Telescopic Operational Amplifier,” *IEEE J. Solid-State Circuits*, vol. 33, no. 12, pp. 2010-2019, Dec. 1998.
- [10] A. Marques, V. Peluso, M. Steyaert, and W. Sansen, “A 15-b Resolution 2MHz Nyquist Rate Delta Sigma ADC in a 1- μ m COMS Technology,” *IEEE Journal of Solid-state Circuits*, vol. 33, no. 7, pp. 1065-1075, July 1998.
- [11] Y.-In Park; S. Karthikeyan, M. K. Wern, J. Zhongnong, and T.-C. Tan, “A 16-bit, 5-MHz Multi-Bit Sigma-Delta ADC Using Adaptively Randomized DWA,” in *Proc. IEEE Custom Integrated Circ. Conf.*, pp. 7-2-1-7-2-4, Sept. 2003.
- [12] Y. Geerts, M. J. Steyaert, and W. Sansen, “A High-Performance Multibit Delta Sigma CMOS ADC,” *IEEE J. Solid-State Circuits*, vol. 35, pp. 1829-1840, Dec. 2000.