

行政院國家科學委員會專題研究計畫 成果報告

低電壓低功率之 GHz 鎖相迴路電路 IP 製作及內建測試電路
設計

計畫類別：個別型計畫

計畫編號：NSC91-2215-E-032-001-

執行期間：91 年 08 月 01 日至 92 年 07 月 31 日

執行單位：淡江大學電機工程學系(所)

計畫主持人：鄭國興

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 2 月 16 日

行政院國家科學委員會補助專題研究計畫

成果報告

期中進度報告

(計畫名稱)

低電壓低功率之 GHz 鎖相迴路 IP 製作及

內建測試電路設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 91-2215-E-032-001-

執行期間：91 年 08 月 01 日至 92 年 07 月 31 日

計畫主持人：鄭國興

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：淡江大學電機系

中 華 民 國 92 年 10 月 28 日

行政院國家科學委員會專題研究計畫成果報告

低電壓低功率之 GHz 鎖相迴路 IP 製作及內建測試電路設計

Design and IP implementation of low-voltage GHz PLL with BIST

計畫編號：NSC 91-2215-E-032-001

執行期限：91 年 8 月 1 日至 92 年 7 月 31 日

計畫主持人：鄭國興 淡江大學電機系副教授 mail:cheng@ee.ncu.edu.tw

一.中文摘要

本計畫主要的目的為，完成低電壓低功率之 GHz 鎖相迴路電路 IP 製作及內建測試電路設計。為達到此一目的我們將於第一階段完成低電壓低功率之 GHz 鎖相迴路電路設計，並於第二階段中完成鎖相迴路電路設計與 IP 製作，並將測試電路內建於鎖相迴路電路中以提供鎖相迴路電路自我測試的能力。因此，為了達到低電壓低功率之 GHz 鎖相迴路電路 IP 製作及內建測試電路設計，我們將分兩階段來進行研究與設計。第一階段：完成低電壓低功率之 GHz 鎖相迴路電路設計。為達到此一目的我們將朝三個方向來完成 1.研發低電壓低功率之 GHz 壓控振盪器電路。2.提高低電壓低功率之 GHz 壓控振盪器電路的線性度。3.整合既有之研究成果與新研發之高線性度低電壓低功率 GHz 壓控振盪器電路，完成低電壓低功率之 GHz 鎖相迴路電路。第二階段：完成鎖相迴路電路 IP 製作，並將測試電路內建於鎖相迴路電路中。

關鍵詞：低電壓、低功率、鎖相迴路、IP、測試電路、壓控振盪器電路、線性度、BIST。

Abstract :

The ultimate goal of the two stage project is to design and IP implementation of low-voltage low-power GHz Phase Locked Loop (PLL) IC with BIST for high performance microprocessor application. A

PLL consists of three basic function blocks: a phase detector (PD), a loop filter (LF), and a voltage controlled oscillator (VCO). In order to reach the goal of this project, in the first stage, the analysis, design, and optimization of the basic function blocks of the PLL will be designed. An experimented chip of low power, high linearity and high noise immunity VCO and PLL will be implemented and fabricated to verify the circuit performance. In the second stage, a new PLL will be designed and IP of the PLL will be built. Meanwhile, the built-in self-test (BIST) circuit is inserted into the phase locked loop and the BIST can find the defect of the PLL.

Keyword: Lower Power, Low Voltage, Phase Locked-Loop (PLL), voltage controlled oscillator (VCO), IP, BIST.

二.研究目的

在鎖相迴路中相位偵測器，壓控振盪器及除頻電路分別扮演著舉足輕重角色，在本計畫中我們將針對這些重要元件加以改善應用在鎖相迴路上。相位頻率偵測器對鎖相迴路主要影響有三：(1)相位誤差 Phase Error。(2)鎖定時間 Locked Time。(3)振盪器控制電壓之變化量。三者中影響最大的就是相位誤差，在時間軸上叫抖動時間(timing jitter)。在 PLL 電路中壓控振盪器

一般都有較大的功率消耗，且佔鎖相迴路總功率消耗相當大的比率，所以低功率消耗就成了振盪器相當重要的性能指標。一般壓控振盪器主要的功率消耗在每級延遲元件轉態時的短路電流，在本計畫第一階段我們將開發一個單端無短路電流的延遲元件來減低壓控振盪器的功率消耗。壓控振盪器的相位誤差指的是 cycle-to-cycle jitter 及 cycle jitter，對鎖相迴路的相位誤差有舉足輕重的影響，排除電路的因素，以溫度及雜訊最為可能改變振盪器輸出頻率的責任週期。責任週期(duty cycle)開始漂移，會造成相位誤差的上升，於是我們採取以除頻器來作整波的工作，使其責任週期維持在 50%。

除頻器在鎖相迴路中有三個主要的功能：變更輸入範圍、倍頻及整波。想要追蹤相當高頻的訊號，但相位頻率偵測器卻無法操作在此高頻下，此時則可採取以除頻器來作降頻的工作，同樣的我們將以低功率為訴求來改善除頻電路。如圖一所示，除頻器加在振盪器的輸出端或將之加在相位頻率偵測器的輸入端。圖二為傳統 TSPC 除頻器，具有良好的整波功能，若輸入訊號的頻率不變，但責任週期(duty cycle)偏移，不管偏移量多少，只要不造成時序的錯誤，其輸出訊號之責任週期依然為 50%。

近年來亦有一些 GHz 的高速除頻電路被發表於期刊中，其中為了達到高速的要求幾乎大部分的電路接採雙端設計。除二的除頻電路，如圖三、圖四所示，其優點為除頻器本身沒有短路功率消耗，但因其 NMOSs 與 PMOSs 都有串接在一起，因此會影響其最大除頻之頻率。

再者如圖五，雙端雙相位時脈除頻電路，其優點為可操作在極高頻，然而除頻電路本身具有較大之短路功率消耗，且其

輸出電壓為非全擺幅，容易造成下一級電路有靜態功率消耗。因此，我們將結合上述各篇之優點研究設計一快速且省功率消耗之除頻電路，並加以整合至鎖相迴路中。

在針對以上的元件加以改善後，本計畫將把它們應用在 PLL 裡，計畫將以 0.25/0.35um CMOS 製程，2.5/3.3V 工作電壓設計一個鎖定範圍為 600-1200MHz 的 low power, low jitter 的 PLL<50ps，連同 VCO，PLL 下線做成晶片加以驗證。

近年來，微處理器(microprocessor)的效能日益提高，而微處理器的操作效能取決於電路的速度。當微處理器的操作速度越來越快時，外部參考時脈和內部脈波之間有延遲現象，這個情況會導致因系統的時脈不同而產生錯誤邏輯。這種現象嚴重限制微處理器操作在高速度時脈之中。因此，我們可以在微處理器內部設計一個鎖相迴路來改善之。

但在一般的應用中，絕大多數鎖相迴路屬於半數位式鎖相迴路，其核心電路——電壓控制振盪器(VCO)，一般都是以類比電路方式實現。然而，微處理器為數位系統，如果在數位系統的內部加上一類比系統，我們必須小心處理數位部分和類比部分之間相互干擾的雜訊問題。例如：要將鎖相迴路和其他電路的電源供應及接地訊號完全隔離，否則兩者會互相干擾，造成系統的不穩定。

為達成以上的目標，本計畫上半年進行元件的改良並將其應用在 VCO 與 PLL 的晶片驗證。下半年將著手從事改良半數位 PLL 的功率消耗及頻率抖動等，並將完成 PLL 的 IP 化以及內建測試電路做來 testing，最後再利用 PLL 來做 Data Recovery 及 Timing Recovery。

三.研究方法

本計畫的工作主要是設計與製作一低電壓低功率 GHz 內建測試電路之鎖相迴路電路，而鎖相迴路的晶片設計步驟與規格分述如下：步驟：(1)鎖相迴路之漂移量與功率消耗分析。(2)低電壓低功率之 GHz 壓控振盪器電路設計。(3)低電壓低功率之 GHz 壓控振盪器電路的線性度分析與改良。(4)完成鎖相迴路之晶片製作與規格驗證。規格：(1)電壓源為 2V。(2)鎖定範圍為 600-1200MHz。(3)週期漂移量 (cycle-to-cycle jitter) < 50ps。(4)功率消耗 < 60mw。

因為鎖相迴路是一個閉迴路自動控制系統，且已廣泛使用在各形形色色的類比及數位系統上，如在通訊架構中的頻率再生器、無線通訊系統中的頻率合成器、微處理器中之時脈重生與同步及訊號解調系統中都須用到鎖相迴路。因此，本年度以完成低電壓低功率 GHz 之鎖相迴路電路為主。以下我們將對鎖相迴路電路作：(一)鎖相迴路之漂移量 (Jitter) 與功率消耗 (Power-dissipation) 分析；(二)低電壓低功率之 GHz 壓控振盪器電路設計；(三)低電壓低功率之 GHz 壓控振盪器電路的線性度改良與分析；(四)完成鎖相迴路之晶片製作與規格驗證，這四項內容進行概述。

(一)鎖相迴路之漂移量 (Jitter) 與功率消耗 (Power-dissipation) 分析：

近年來由於製程的進步使得微處理器之時脈 (Clock) 有越來越快的趨勢，但是微處理器以外的匯流排速度提升有限，因此鎖相迴路在微處理器中的地位也越來越重要。然而，在設計鎖相迴路時仍有幾個問題須加以考慮在內：(1)低漂移量 (Low-jitter)。(2)低功率消耗 (Low-power)。(3)低功率高輸出驅動力 (High Driving Ability) 緩衝放大器。

(二)低電壓低功率之 GHz 壓控振盪器電路設計：

(1) 低漂移量高抗雜訊壓控振盪器設計

我們將研發一個新的壓控振盪器電路，其架構將以單端的架構為基本，並將雙端的概念放入藉由圖六的電路延伸，而形成了一個新型的單端架構，它不只有單端良好的線性度，同時還有雙端的低功率消耗跟低 Jitter 的優點，這個新架構的基本電路圖如圖七所示。我們取其中的二級反相器來說明其操作原理，我們可以看到，兩級的反相器是共用一個電流源，在二級串接的反相器中，我們可以知道如果第一級的反相器是充電，則下一級的的反相器一定是放電，反之，如果第一級是放電則第二級一定是充電，此時共用一個偏壓電流的話會造成一個現象，這現象就是偏壓電流會不斷的流而不會有關掉的現象，所以此時 D 點與 E 點就像是一個固定常數電壓 (fixed constant voltage)，變動量相當的小，換言之 I1 以及 I2 形成了一近似常數電流源，不會變動也不會有傳統五級振盪器那樣的時有電流時無電流，進而造成在 switching 上的 noises，除了有減少 switching noises 的好處之外，也由於它是一固定的電壓在 D 及 E 點，假若如果 power supply 所供應的電壓不是很穩定，對於所造成的 power supply noises 也能提高其雜訊免疫力，除此之外也能刪減動態功率消耗，這部份也將在稍後提到，所以此架構能有效的提供降低雜訊的能力。

(2) 高速低功率壓控振盪器電路設計

壓控振盪器是一種電壓控制頻率的調變器，其輸出訊號 (Uo) 之頻率隨控制電壓 (Uf) 上升而上升，下降而下降 (若控制元件為 PMOS，則上述關係相反)。一般要求輸出頻率之頻譜純度要高，增益要大，控制特性的線性度要佳，還有頻率範圍要廣等

等。但這些條件往往相互的矛盾，必須依其設計目的而折衷考量之。振盪器通常具有較大的功率消耗，幾乎主宰了整個鎖相迴路的功率消耗。此外它控制了捕獲範圍的大小；它的穩定性亦是鎖相迴路的穩定性；還有它對相位誤差也有舉足輕重的影響。在本計畫將設計一新雙端無短路電流的延遲元件來提昇操作速度，並減低壓控振盪器的功率消耗。壓控振盪器的另一重要參數為相位誤差，相位誤差指的是 cycle-to-cycle jitter 及 cycle jitter，於是我們採取雙端壓控振盪器來當我們做我們設計低功率高速度壓控振盪器的本體，因為雙端壓控振盪器在頻率及相位誤差方面擁有較佳的效能。一般來說，PLL 的功率消耗主要是在電壓控制振盪器上，在電壓控制振盪器上主要有兩種功率消耗，其一是在低頻操作時，電壓控制振盪器中的延遲元件在轉態時所產生的短路電流(short circuit current)使得有短路電流功率消耗，另外一個是在高頻操作時，由於 MOS 的切換不停的打開與關掉，造成了動態功率消耗，在這裡我們採用如圖七的架構來改進動態功率消耗。而動態功率消耗我們知道是與頻率成正比，在高頻時不會因為 I1 與 I2 兩個電流時有時無而產生額外的功率消耗，我們從實驗的數據知，我們把傳統與新型的架構相比，在振盪器較常用的頻率 500MHz，我們可以有省下 50% 功率消耗的效果。圖八及圖九是兩個 VCO 的模擬結果，其中圖八為兩者之輸入電壓對輸出頻率的比較圖，圖九為輸出頻率與功率消耗之比較圖，由這兩個圖可知新型之 VCO 比傳統的 VCO 不僅輸出頻率高而且也大大節省了功率消耗。

(三) 壓控振盪器之線性度分析：

壓控振盪器是一種電壓控制頻率的調變器，其輸出訊號之頻率(f_{osc})隨控制電壓 $V_c(t)$ 上升而上升，下降而下降（若控制元

件為 PMOS，則上述關係相反）。一般要求輸出頻率之頻譜純度要高、增益要大、控制特性的線性度要佳、還有頻率範圍要廣等等。但這些條件往往相互矛盾，必須依其設計目的而折衷考量之。假設我們未加任何電壓給壓控振盪器(也就是 $V_c(t)=0$)，壓控振盪器產生自由振盪頻率 f_0 (free running frequency 或中心頻率 (center frequency))。我們希望在 f_0 附近的曲線是越線性越好，所以 $f_{osc}(t)$ 與 $V_c(t)$ 在 f_0 附近的線性範圍內，有(1)的關係式。

$$f_{osc}(t) = f_0 + K_v \cdot V_c(t) \quad (1)$$

其中 K_v 是壓控振盪器的增益(gain)，單位為 Hz/V。由此可知 $f_{osc}(t)$ 與 $V_c(t)$ 成一次線性關係，因此理想上壓控振盪器輸出頻率範圍為，控制電壓 $V_c(t)$ 由 0 伏特到最高電壓(power supply voltage)，所以其可適用的範圍可以很廣。例如需要較低的振盪頻率則可輸入較低的控制電壓，反之需要較高的振盪頻率則可輸入較高的控制電壓，以獲得高頻振盪。壓控振盪器所能使用的範圍有限，只有靠近中間直線的部分為適用範圍，直線區兩旁頻率則趨近於飽和或只剩下自由振盪頻率 f_0 。因此，若有不同使用頻率範圍之應用時，則需設計不同的壓控振盪器，如此會造成人力的浪費與無法充份發揮每一個壓控振盪器的功能。所以，如何提昇壓控振盪器的線性使用範圍也是本計劃的重點之一。

(四) 完成鎖相迴路之晶片製作與規格驗證

本計畫我們將設計一低電壓低功率 GHz 鎖相迴路電路，新架構之高速低功率壓控振盪器(VCO)可降低鎖相迴路之總功率消耗，而鎖相迴路的設計規格為：

- (1) 電壓源為 2V。
- (2) 鎖定範圍為 600-1200MHz。
- (3) 週期漂移量(cycle-to-cycle jitter) < 50ps
功率消耗 < 600mw。

四. 研究成果

今年研究之成果共計發表一篇 IEEE 期刊論文及兩篇 IEEE 研討會論文，主要之研究成果包含：(1) Fast Locking PLL Design；(2) Wide – Range DLL Design；(3) BIST for Clock Jitter Measurements，分別簡述如下，詳細說明請參考附錄：

(1) A Dual-Slope Phase Frequency Detector and Charge Pump Architecture to Achieve Fast Locking of Phase-Locked Loop

In this paper, a dual-slope phase frequency detector and charge pump architecture to achieve fast locking of phase-locked loops is proposed and analyzed. The proposed topology is based on two tuning loops: a fine-tuning loop and a coarse-tuning loop. A coarse-tuning loop is used for fast convergence, and a fine-tuning loop is used to complete fine adjustments. The proposed PLL circuit is designed based on the TSMC 0.35um 1P4M CMOS process with a 3.3V supply voltage. HSPICE simulation shows that the lock time of the proposed PLL can be reduced over 82% in comparison to the conventional PLL. An experimental chip was implemented and measured. The measurement results show that the proposed PLL has fast locking properties.

(2) A Mixed-Mode Delay-Locked Loop for Wide-Range Operation and Multiphase Outputs

This paper describes a mixed-mode delay-locked loop (DLL) for wide-range operation and multiphase outputs with just one clock cycle. The architecture of the proposed DLL uses the time-to-digital converter (TDC) scheme for phase range selector to offer the faster locking time, and

the multi-controlled delay cell for voltage-controlled delay line (VCDL) to provide the wide locked range and the low-jitter performance. The proposed DLL can solve the problem of false locking associated with conventional DLLs. The HSPICE simulation results are based upon TSMC 0.35um 1P4M N-well CMOS process with a 3.3V power supply voltage. The simulation results show that the proposed DLL can operate from 62.5 to 312.5 MHz. Moreover, the total time delay from all delay stages is precisely one period of the input reference signal, and that can generate equally spaced eight-phase clocks.

(3) Bist for Clock Jitter Measurements

For high-speed circuit testing, traditional ways are not enough in measuring the clock jitter. In these traditional ways, the external equipment is used to measure the analog clock signal. It would distort the tested clock signal and change the measure result. In order to achieve a more convenient clock jitter measurement, a Time to Digital Converter (TDC) technique is used to output an all-digital data in the proposed method. And, a Built-In-Self-Test (BIST) method is used to realize the proposed method. However, even if some usable BIST methods have been proposed, the requirements of the test time and circuit area still limited the circuit application. In order to release this requirement, a new BIST method is proposed. A continuous clock jitter measurement method is adopted to make a real-time measurement. And, with the proposed pre-delayed sample clock, no more extra delay cells are needed. The circuit area and test time can be significantly reduced.

Furthermore, with an improved circuit structure, the circuit stability also can be increased and no more external jitter-free clock is needed to sample the clock jitter.

五. 結論與討論

A dual-slope phase frequency detector and charge pump architecture to achieve fast locking of phase-locked loop was proposed and analyzed. The proposed topology is based on two tuning loops: a fine-tuning loop and a coarse-tuning loop. A coarse-tuning loop is used for fast convergence, and a fine-tuning loop is used to complete fine adjustments. Simulation results show that the lock time of the proposed PLL is reduced by over 82% in comparison with a conventional PLL. Moreover, according to the measured results, the proposed PLL oscillation frequency range is from 320MHz to 1440MHz. Thus, the proposed PLL has fast-lock, low-jitter and wide-operating frequency and can be used in modern high performance microprocessing system and clock data recovery system.

A new mixed-mode DLL for wide-range operation and multiphase outputs with just one clock cycle is proposed. The TDC architecture for phase range selector can offer the faster locking time from the different frequency. Then the multi-controlled delay cell element for VCDL can provide wide locked range and low-jitter performance. According to the simulation result, the proposed DLL can operate from 62.5 to 312.5 MHz without the problems of the harmonic locking or false locking. Beside, the total time delay from all delay stages is precisely one period of the input reference signal. Moreover, in this DLL, with minor

change of device sizes of the VCDL, and a little hardware, the operating frequency range could be extended toward a higher frequency range.

With the proposed method, the BIST circuit can measure the clock jitter in less test time and less circuit area. Moreover, with the proposed CT circuit, the circuit area overhead problem will not appear. And, in the FT circuit, users can design a higher resolutions clock jitter measurement circuit by replacing the D-latches with the PD. No more any external jitter-free clock signal is needed to sample the clock jitter. The proposed circuit is suitable for the BIST method in measuring the clock jitter.

六. 計畫成果自評

在本計畫中，我們分別利用 0.25um 及 0.35um 製程完成三顆晶片之設計與量測，而所測得之結果已符合本計畫所提之低電壓低功率之 GHz 鎖相迴路 IP 製作及內建測試電路設計的目標。在研究成果上我們完成一本博士論文及三本碩士論文，亦發表三篇與計畫相關之 Paper，一篇期刊論文，兩篇國際研討會論文，新型頻率偵測器、充電泵及快速鎖定之架構已發表於期刊 [1]，另一種具快速鎖定及寬頻操作與多相位輸出之混合式延遲鎖定迴路已發表於國際研討會 [2]，而鎖相迴路內建測試電路設計亦成功的發表於國際研討會 [3]，如下所列：

- [1] Kuo-Hsing Cheng, Wei-Bin Yang and Cheng-Ming Ying, "A Dual-Slope Phase Frequency Detector and Charge Pump Architecture to Achieve Fast Locking of Phase-Locked Loop," Proc. Of IEEE Trans. On Circuits and Systems Part II, Analog and Digital Signal Processing. Vol.50, Nov. 2003

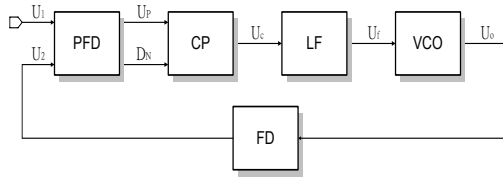
- [2] Kuo-Hsing Cheng, Yu-Lung Lo and Wei-Bin Yang, "A Mixed-Mode Delay-Locked Loop for Wide-Range Operation and Multiphase Outputs" Proc. of 2003 IEEE International Symposium on Circuits and Systems, ISCAS'2003, Bangkok, Thailand, May 25-28, 2003
- [3] Kuo-Hsing Cheng, Shu-Yu Jiang and Zong-Shen Chen, "BIST for Clock Jitter Measurement" Proc. of 2003 IEEE International Symposium on Circuits and Systems, ISCAS'2003, Bangkok, Thailand, May 25-28, 2003

在人才培育方面均有優異的表現，負責執行此計畫之學生參加「91學年度指導學生參加教育部之積體電路設計競賽，碩士全客戶設計組」分別榮獲特優獎及優等獎。因此本計畫執行成果無論是在研究成果上還是人才培育方面上皆有傑出的表現。

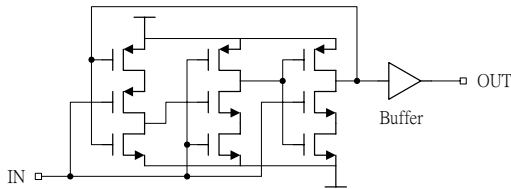
七. 參考文獻

- [1] Roland E. Best "PHASE-LOCKED LOOPS THEORY, DESIGN, AND APPLICATIONS" Second edition, McGraw 1993.
- [2] Leenaerts, D.M.W.; Persoon, G.G.; Putter, B.M. "CMOS switched current "phase-locked loop", Circuits, Devices and Systems, IEE Proceedings- Volume: 144 2, April 1997, Page(s): 75 -77 .
- [3] Djemouai, A.; Sawan, M.; Slamani, M." A 200 MHz frequency-locked loop based on new frequency-to-voltage converters approach", Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume: 2 , 1999 , Page(s): 89 -92 vol.2
- [4] Johnson, M.G.; Hudson, E.L "A variable delay line PLL for CPU- coprocessor synchronization", Solid-State Circuits, IEEE Journal of Volume: 23 5 , Oct. 1988 , Page(s): 1218 -1223
- [5] Rau, M.; Oberst, T.; Lares, R.; Rothermel, A.; Schweer, R.; Menoux, N "Clock/data recovery PLL using half-frequency clock", Solid-State Circuits, IEEE Journal of Volume: 32 7 , July 1997 , Page(s): 1156 -1159
- [6] Roo, P.; Spencer, R.; Hurst, P." A CMOS analog timing recovery circuit for 180 Mb/s PRML detectors", Solid-State Circuits Conference, 1998. Digest of Technical Papers. 1998 IEEE International , 1998 , Page(s): 392 -393, 471
- [7] Djahanshahi, H.; Salama, C.A.T."Differential 0.35 μm CMOS circuits for 622 MHz/933 MHz monolithic clock and data recovery applications", Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume: 2 , 1999 , Page(s): 93 -96 vol.2
- [8] Routama, J.; Koli, K.; Halonen, K. "A 150 Mbit/s CMOS clock recovery PLL including a new improved phase detector and a fully integrated FLL", Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume: 1 , 1998 , Page(s): 159 -162 vol.1
- [9] Lin Wu; Black, W.C., Jr. "A low jitter 1.25 GHz CMOS analog PLL for clock recovery", Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume: 1 , 1998 , Page(s): 167 -170 vol.1
- [10] Johansson, H.O." A simple precharged CMOS phase frequency detector", Solid-State Circuits, IEEE Journal of Volume: 33 2 , Feb. 1998 , Page(s): 295 -299
- [11] Zhong-Xuan Zhang; He Du; Man Shek Lee "A 360 MHz 3 V CMOS PLL with 1 V peak-to-peak power supply noise tolerance ", Solid-State Circuits Conference, 1996. Digest of Technical Papers. 42nd ISSCC., 1996 IEEE International , 1996 , Page(s): 134 -135, 431
- [12] Chang-Hyeon Lee; Cornish, J.; McClellan, K.; Choma, J., Jr. "Design of low jitter PLL for clock generator with supply noise insensitive VCO", Circuits and Systems, 1998. ISCAS '98. Proceedings of the 1998 IEEE International Symposium on Volume: 1 , 1998 , Page(s): 233 -236 vol.1
- [13] Novof, I.I.; Austin, J.; Kelkar, R.; Strayer, D.; Wyatt, S." Fully integrated CMOS phase-locked loop with 15 to 240 MHz locking range and ± 50 ps jitter", Solid-State Circuits, IEEE Journal of Volume: 30 11 , Nov. 1995 , Page(s): 1259 -1266
- [14] Sang-O Jeon; Tae-Sik Cheung; Woo-Young Choi "Phase/frequency detectors for high-speed PLL applications" Electronics Letters Volume: 34 22 , 29 Oct. 1998 , Page(s): 2120 -2121

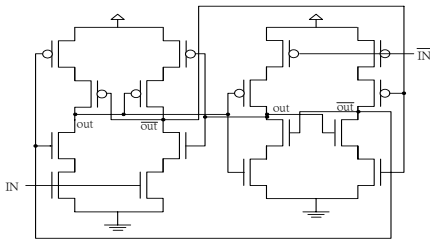
- [15] Chen, H.; Lee, E.; Geiger, R. "A 2 GHz VCO with process and temperature compensation" Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume: 2 , 1999 , Page(s): 569 -572 vol.2
- [16] Banu, M. "Design of high-speed, wide-band MOS oscillators for monolithic phase-locked loop applications" Circuits and Systems, 1988., IEEE International Symposium on , 1988 , Page(s): 1673 -1677 vol.2
- [17] Chua-Chin Wang; Yu-Tsun Chien; Ying-Pei Chen "A practical load- optimized VCO design for low-jitter 5 V 500 MHz digital phase-locked loop" Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume: 2 , 1999 , Page(s): 528 -531 vol.2
- [18] Herzel, F.; Razavi, B. "A study of oscillator jitter due to supply and substrate noise" Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on Volume: 46 1 , Jan. 1999 , Page(s): 56 -62
- [19] Weigandt, T.C.; Beomsup Kim; Gray, P.R. "Analysis of timing jitter in CMOS ring oscillators", Circuits and Systems, 1994. ISCAS '94., 1994 IEEE International Symposium on Volume: 4 , 1994 , Page(s): 27 -30 vol.4
- [20] Mizuno, M.; Furuta, K.; Andoh, T.; Tanabe, A.; Tamura, T.; Miyamoto, H.; Furukawa, A.; Yamashina, M. "A 0.18um CMOS hot-standby phase-locked loop using a noise-immune adaptive-gain voltage-controlled oscillator", Solid-State Circuits Conference, 1995. Digest of Technical Papers. 41st ISSCC, 1995 IEEE International , 1995 , Page(s): 268 -269, 377
- [21] H. Yang et al., "A Low Jitter 0.3-165 MHz CMOS PLL Frequency Synthesizer for 3 V/5 V Operation," IEEE Journal of Solid-State Circuits, vol. 32, no. 4, pp. 582-586, April. 1997.
- [22] Hiroki Sutoh, and Kimihiro Yamakoshi, et. al. "A 0.25um CMOS/SIMOX PLL Clock Generator Embedded in a Gate Array LSI with 5 to 400MHz Lock Range," IEEE 1997 Custom Integrated Circuits Conference, pp. 41-44
- [23] Behzad Razavi, and Kwing F. Lee, et. al. "Design of High-Speed, Low-Power Frequency Dividers and Phase-Locked Loops in Deep Submicron CMOS," IEEE JSSC 1995, Vol. 30, NO. 2, Fre. pp.101-109
- [24] David W. Boierstler, and Keith A. Jenkins, "A Phase-Locked Loop Clock Generator for a 1GHz Microprocessor," 1998 Symposium on VLSI Circuits Digest of Technical Papers, pp. 212-213
- [25] Galton, I.; Huff, W.; Carbone, P.; Siragusa, E. "A delta-sigma PLL for 14-b, 50 kSample/s frequency-to-digital conversion of a 10 MHz FM signal" Solid-State Circuits, IEEE Journal of Volume: 33 12 , Dec. 1998 , Page(s): 2042 -2053
- [26] Goto, J.; Yamashina, M.; Inoue, T.; Shih, B.S.; Koseki, Y.; Horiuchi, T.; Hamatake, N.; Kumagai, K.; Yamada, H." A programmable clock generator with 50 to 350 MHz lock range for video signal processors " Custom Integrated Circuits Conference, 1993., Proceedings of the IEEE 1993 , 1993 , Page(s): 4.4.1 -4.4.4
- [27] Nakao, T.; Kuwahara, M.; Miyazawa, Y.; Ohara, Y.; Ariyoshi, R.; Kitazume, T.; Sugawa, N.; Ogawara, T.; Oda, S.; Suzuki, Y.; Nomura, S.; Kanuma, A "Single-chip 4-channel 155 Mb/s CMOS LSI chip for ATM SONET/SDH framing and clock/data recovery", Solid-State Circuits Conference, 1997. Digest of Technical Papers. 43rd ISSCC., 1997 IEEE International , 1997 , Page(s): 160 -161, 448
- [28] Co, R.S.; Mulligan, J.H., Jr. "Optimization of phase-locked loop performance in data recovery systems ", Solid-State Circuits, IEEE Journal of Volume: 29 9 , Sept. 1994 , Page(s): 1022 -1034
- [29] Woogeun Rhee, "Design of low-jitter 1-GHz phase-locked loops for digital clock generation", Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume: 2 , 1999 , Page(s): 520 -523 vol.2
- [30] Boerstler, D.W. "A low-jitter PLL clock generator for microprocessors with lock range of 340-612 MHz", Solid-State Circuits, IEEE Journal of Volume: 34 4 , April 1999 , Page(s): 513 -519
- [31] Suzuki, K.; Yamashina, M.; Nakayama, T. "A 500 MHz 32b 0.4 um CMOS RISC processor LSI", International Solid-State Circuits Conference, 1994. Digest of Technical Papers. 41st ISSCC., 1994 IEEE International , 1994 , Page(s): 214 -215
- [32] von Kaenel, V.; Aebischer, D.; Piguet, C.; Dijkstra, E." A 320 MHz, 1.5mW@1.35 V CMOS PLL for microprocessor clock generation ", Solid- State Circuits, IEEE



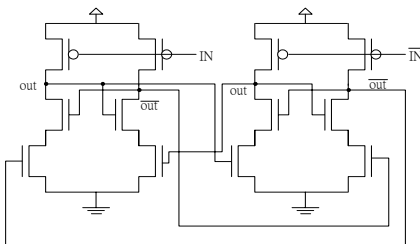
圖一：鎖相迴路架構



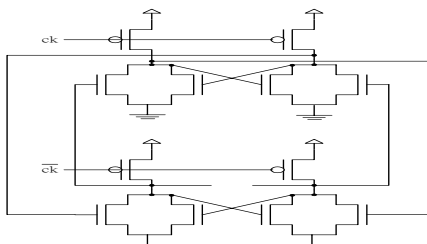
圖二：除頻器



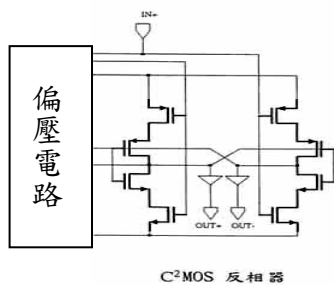
圖三：雙端除 2 電路



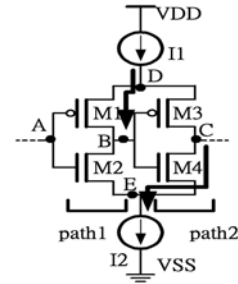
圖四：雙端除 2 電路



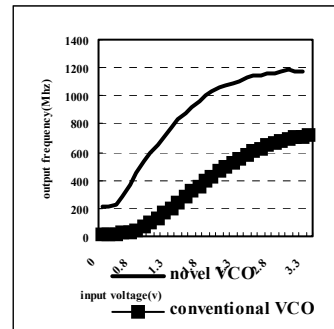
圖五：雙端除 2 電路



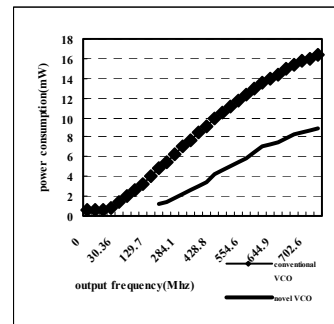
圖六：差動對輸出的電壓控制振盪器



圖七：新型架構的電壓控制振盪器



圖八：輸入電壓對輸出頻率的關係圖



圖九：輸出頻率與功率消耗關係圖