

行政院國家科學委員會專題研究計畫 成果報告

寬頻延遲鎖定迴路之研製

計畫類別：個別型計畫

計畫編號：NSC91-2213-E-032-024-

執行期間：91年08月01日至92年07月31日

執行單位：淡江大學電機工程學系(所)

計畫主持人：張文清

計畫參與人員：何童祺, 魏郁忠

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 2 月 16 日

行政院國家科學委員會補助專題研究計畫成果報告

寬頻延遲鎖定迴路之研製

計畫類別：個別型計畫 整合型計畫

計畫編號：NSC - 91 - 2213 - E - 032 - 024

執行期間：91年8月1日至92年7月31日

主持人：張文清 私立淡江大學電機所

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：私立淡江大學電機所

中 華 民 國 93 年 2 月 1 日

行政院國家科學委員會補助專題研究計劃成果報告

寬頻延遲鎖定迴路之研製

A Novel Structure of Wide-Range Delay-Locked Loops

計劃編號：NSC-91-2213-E-032-024

執行期限：91年8月1日至92年7月31日

主持人：張文清 私立淡江大學電機所

計劃參與人員：何童祺 私立淡江大學電機所
魏郁忠 私立淡江大學電機所

一 中文摘要

近年來因高頻電路的普及，以及延遲鎖定迴路的興起，使得改善時脈歪斜的方法不再侷限於以往的鎖相迴路，而是包含有高速鎖定的特性之延遲鎖定迴路。再者，因鎖定頻率範圍的增加使得類比延遲鎖定迴路的設計更加複雜。因此我們提出類比延遲鎖定迴路利用數位副調整電路使操作頻率增加的方法之研究。此計畫的目標為設計一寬頻操作的類比延遲鎖定迴路，此類比延遲鎖定迴路包含相位檢測器、充電幫浦、迴路濾波器、壓控延遲線、頻率電壓轉換器、類比數位轉換器。

其次，本計劃將提出在文獻上已發表的數位與類比之延遲鎖定迴路。計劃將導入已在文獻上被提出的延遲鎖定迴路其想法之優點，以提高類比延遲鎖定迴路的操作頻率範圍。本計劃將首次提出以頻率電壓轉換器、類比數位轉換器

為副調整電路的類比延遲鎖定迴路，並將相位檢測器、充電幫浦、迴路濾波器、壓控延遲線等電路的不理想特性加入寬頻延遲鎖定迴路設計的考量當中，使整體電路對不確定干擾源的影響亦有準確之預測。

最後，本計劃將更深入探討改良電路特性(相位檢測器、充電幫浦、迴路濾波器、壓控延遲線等)不理想性的方法，並思考使用上的限制。此改良電路特性不理想性的方法將與本計劃提出的寬頻操作之類比延遲鎖定迴路結合，以獲得更佳的電路特性。本計劃也將延伸數位副調整電路控制類比延遲線的觀念，並討論其優缺點。藉由本計劃的進行，將可提供寬頻操作之延遲鎖定迴路一清晰易懂的架構。且計劃中對數位及類比延遲鎖定迴路的探討不只對將來的設計有所幫助，更提供未來研究與學習延遲鎖定迴路一重要參考依據。

關鍵詞：時脈歪斜，延遲鎖定迴路，頻率電壓轉換器，類比數位轉換器。

Abstract

Because of the generality of high-frequency circuits, and rise and development of delay-locked loops in recent year, it is more than phase-locked loops in the method of improvement of clock-skew, delay-locked loops which have a property of fast-lock will also be included. In addition, the increase in the range of operating frequency will make the design of analog delay-locked loops more complex. Therefore, we bring up study of methods making rise for operating frequency of digital sub-blocks in analog delay-locked loops. The goal of this project is to design a wide-range analog delay-locked loops. The analog delay-locked loops contain phase detect, charge pump, loop filter, voltage-controlled delay line, frequency voltage converter, analog digital converter.

The another important part of this project is to bring up ideas of digital delay-locked loops and analog delay-locked loops provided from reference. We will plan to introduce the advantage of opinion of delay-locked loops provided from reference, so that we can increase the operating frequency of analog delay-locked loops. Moreover, this project will bring up sub-blocks consisted of frequency voltage converter and analog digital converter within analog delay-locked loops first, and take into account the non-ideal properties of phase detect, charge pump, loop filter, voltage-controlled delay line, within the design for wide-range delay lock loops. Above will make guesses of non-decided interference have big degree of accuracy within entire circuits.

Finally, this project will discuss

methods improving the non-ideal properties of circuits deeply more, and think deeply for limits of use. The methods improving the non-ideal properties of circuits will combine with wide-range delay lock loops bringing up form this project to obtain better properties of circuits. This project will extend the concept of analog delay line controlled by digital sub-blocks, and take into account advantages and defects. By the realization of this project, we will provide a structure that is non-ambiguous and is easy to understand. Not only the discussion of digital delay-locked loops and analog delay-lock loops will give a hand for design in the future, but also provide important referrals for research and study of delay-locked loop in the future.

Keywords : clock-skew, delay-locked loops, frequency voltage converter, analog digital converter.

二 緣由與目的

二之一 本研究計畫之緣由及重要性

近二十年來，隨著互補式金氧半製程快速而持續的進展，電子系統已朝高度整合與高速操作的方向發展。此時，不同系統之間的同步問題也隨之衍生而出。延遲鎖定迴路與鎖相迴路已被廣泛地應用在同步問題的處理，而本計劃主要是探討這延遲鎖定迴路的實現與應用。

由於微處理器，影像處理器及通訊晶片的工作頻率愈來愈高。為了避免由外加時脈訊號所產生的延遲效應。以鎖相迴路和延遲鎖定迴路為基礎的時脈產生器，做在微處理器的同一個晶片上已呈趨勢。它不僅克服了速度上的要求，

同時僅需要一個參考頻率，便能夠藉由可程式控制鎖相迴路的輸出頻率，滿足各個工作頻率的需求。因為容易設計及穩定的特性，延遲鎖定迴路已經比鎖相迴路更廣泛地使用在時脈誤差校正上。直到現在，越來越多的應用已經開始使用延遲鎖定迴路，例如時脈回復及本地震盪器電路。而這些應用在以前卻只能使用鎖相迴路。因此，延遲鎖定迴路將日益重要。

二之二 本研究計畫之目的

本計畫將對延遲鎖定迴路做一系列討論及思考如何改良。首先，先討論數位延遲鎖定迴路，其常見的架構分別為 (A) 暫存器控制延遲鎖定迴路，(B) 計數器控制延遲鎖定迴路，(C) 連續近似暫存器控制延遲鎖定迴路。計數器控制延遲鎖定迴路比暫存器控制延遲鎖定迴路的優勢為計數器控制延遲鎖定迴路只需要 6 個延遲級，而暫存器控制延遲鎖定迴路需要 64 個延遲級。此外，計數器控制延遲鎖定迴路只要 6 位元上下計數器，但暫存器控制延遲鎖定迴路卻要 64 位元位移暫存器。而連續近似暫存器控制延遲鎖定迴路的優勢為快速鎖定，可以在 6 個輸入時脈周期內鎖定，故鎖定速度遠比暫存器控制延遲鎖定迴路及計數器控制延遲鎖定迴路來的快。其次，再討論類比延遲鎖定迴路。並針對類比延遲鎖定迴路比數位延遲鎖定迴路操作頻寬來的窄，尋求增加頻寬的方法，分別為 <1>利用相位頻率檢測器代替相位檢測器使鎖定範圍增加，<2>利用全類比延遲鎖定迴路加入一條複製延遲線使鎖定範圍增加，<3>改良複製延遲線上拉式電流不等於下拉式電流的缺點而且鎖定範圍提高的自我修正延遲鎖定迴路，<4>利用全類比延遲鎖定迴路加入一個相位選擇邏輯電路使鎖定範圍增加。

二之三 本研究計畫之研究方向

1. 以現有的數位及類比延遲鎖定迴路技術為基礎，針對類比延遲鎖定迴路操作頻率範圍相較數位延遲鎖定迴路來的窄，找尋使類比延遲鎖定迴路操作頻率範圍更寬的電路架構。
2. 在未來的應用上，靜態相位誤差其值必定要求非常的小，才能符合高頻時的準確性不會下降。而類比延遲鎖定迴路就比數位延遲鎖定迴路有較低的靜態相位誤差。所以在靜態相位誤差的考量下，可以以類比延遲鎖定迴路為主架構，加上數位延遲鎖定迴路的部分電路，來達成高速鎖定且低靜態相位誤差的延遲鎖定迴路。

二之四 本計畫採用之研究方法

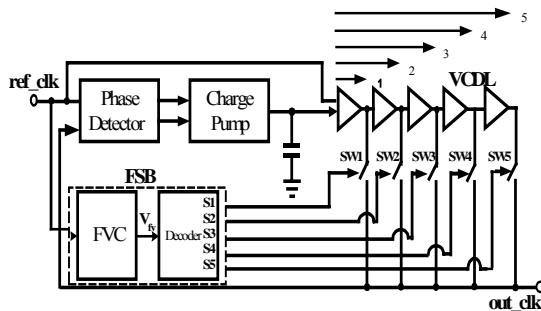
本計畫為寬頻延遲鎖定迴路之研究。其目的為深入討論與改進延遲鎖定迴路內部的架構，因為延遲鎖定迴路的理論是最近十年發展出來的，相較於鎖相迴路的理論已有七十年的歷史而言，是相當新的理論，所以本計畫著重在設計延遲鎖定迴路的想法以及其設計步驟。而主要的探討分成下面幾點：

- (1) 研究如何設計相位檢測器/相頻檢測器。
- (2) 研究如何設計充電幫浦。
- (3) 研究如何設計迴路濾波器。
- (4) 研究如何設計壓控延遲線。
- (5) 找出已知之類比與數位延遲鎖定迴路各種優點結合之可能性。
- (6) 整個電路模擬與實際運作可能不同的地方，找出原因並加以控制。
- (7) 提出可使延遲鎖定迴路操作頻率更寬的理論及架構的可行性。

三 結果與討論

三之一 新電路架構之實現

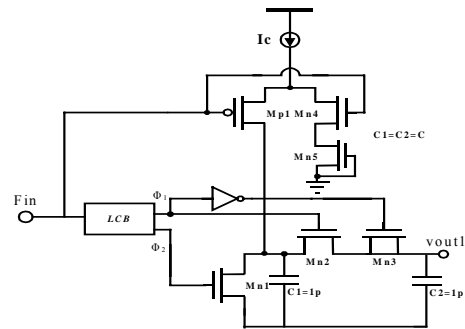
本計劃有一種新的構想，此新的構想即為了增加更寬的輸入操作頻率，其延遲線的延遲級之延遲時間我們希望能有更大的調整空間。所以本計劃將重心放在影響頻寬最重要的壓控延遲線及副調整電路之設計上。因為本計劃不想被全類比或全數位的設計觀念限制住，故提出的新的構想同時擁有數位及類比的設計理念在裡面。所以在延遲線的構造上，本計劃採用類比的延遲線，但是使用數位的副調整電路，如圖一所示。



圖一 本計劃所提出新的延遲鎖定迴路架構

可以看出藉由類比數位轉換器(analog digital converter)產生的數位控制信號來控制延遲線上信號通過的延遲級數目。副調整電路的提出是根據我們希望延遲線的延遲時間並非是單純的隨控制電壓變化的一條曲線，我們希望能有多一點的選擇性。由上述的思考可以得出一個基本的觀念，這基本的觀念即有什麼方法可以達到有信號通過的延遲線之延遲級數目是由副調整電路來做多樣選擇嗎？提到選擇性較佳的方法，我們可以採用數位的方法來選擇，而選擇的觀念則是根據輸入頻率的高低對應到延遲線的延遲時間範圍應在何種範圍內。例如，當輸入頻率愈高時，我們希望延遲線的延遲時間能調整到愈小，這樣才能鎖定頻率。但我們又不希望只利用迴路濾波器的控制電壓來單純的控制延遲時間。因為可能會因鎖定範圍的限制而使鎖定失

敗。所以利用一個頻率電壓轉換器(frequency voltage converter)將輸入頻率轉換成電壓，如圖二所示，為本計劃採用的頻率電壓轉換器之電路圖。



圖二 頻率電壓轉換器

三之二. 測試結果

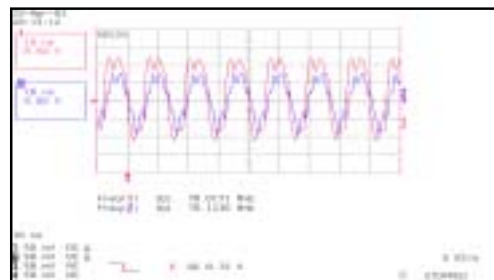
三之二之一 測試電路版



圖三 測試電路版

三之二之二 測試結果

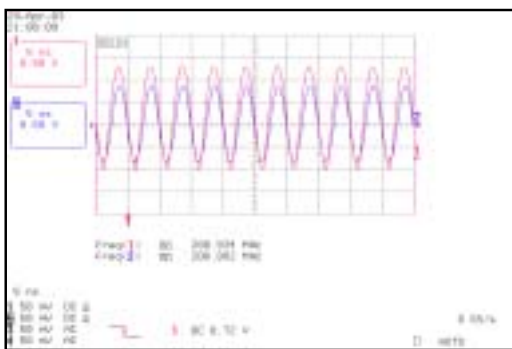
圖四為延遲鎖定迴路以訊號產生器供應 70MHz 下所得到 test_clk 及 out_clk 的輸出波形：



圖四 輸入訊號為 70MHz 之鎖定情形

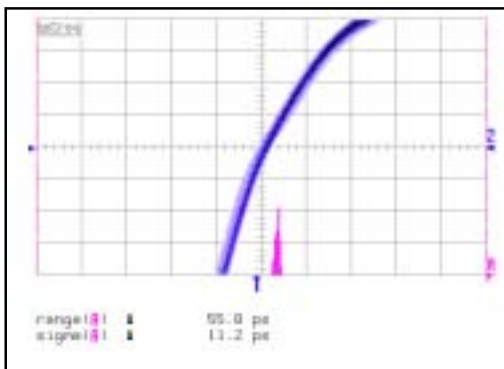
上圖中 Freq(1) 是 test_clk 端輸出的訊號，也就是訊號產生器輸入至晶片內經過 2 個 Buffer 後輸出之的訊號；而 Freq(2) 則是 out_clk 端輸出的訊號。我們將兩個訊號疊在一起，可以看出兩個相位為鎖定情形，波形還算吻合。

同理，下圖為延遲鎖定迴路以訊號產生器供應 200MHz 下所得到 test_clk 及 out_clk 的輸出波形：

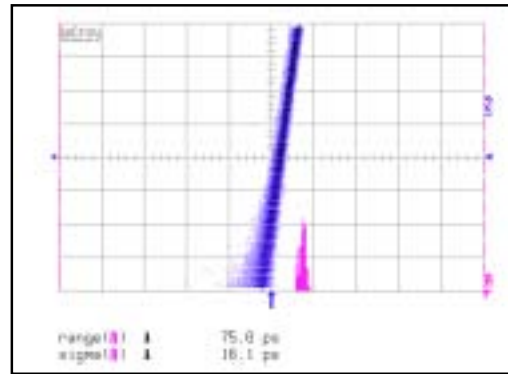


圖五 輸入訊號 200MHz 鎖定情形

接下來是對晶片做 Jitter 的測試，我們在輸入頻率分別為 70MHz 與 200MHz 時，當 test_clk 及 out_clk 鎖定時，量測其輸出端 out_clk 的 Jitter 參數特性，如下圖六、七所示：



圖六 輸入訊號 70MHz 鎖定時 Jitter 參數統計圖



圖七 輸入訊號 200MHz 鎖定時 Jitter 參數統計圖

在圖六中，range 代表 Period(Short-Term) Jitter 的 Peak-to-Peak，其數值為 55.0ps，而 sigma 則是代表 Period(Short-Term) Jitter 的 rms，其數值為 11.2ps。

而當輸入頻率為 200MHz 時，test_out 與 out_clk 鎖定時，量測其輸出端 out_clk 的 Jitter 參數特性。從圖七中，Peak-to-peak 的 Jitter，其數值為 75.0ps，而 rms 的 Jitter，其數值為 16.1ps。

由於此晶片為寬頻延遲鎖定迴路，當操作頻率分別為低頻(70MHz)與最高頻(200MHz)時，從示波器上我們可以看到都能正常鎖定。

三之二之三.預計規格與實測結果

本次晶片為寬頻延遲鎖定迴路，利用頻率選擇電路在不同的輸入頻率下選擇不同的回授路徑，因而提升其鎖定範圍，而鎖定的範圍跟預計的規格有一些出入，但整體來說，這顆晶片結果跟先前預期相差不多，因此這是一顆 function work 的晶片。

Process	0.35um 1P4M CMOS
Operating Frequency Range	50MHz-200MHz
Supply Voltage	3.3V
Lock Time	1.5us @ 50MHz 3.5us @ 200MHz
Power Dissipation	47.2mW @ 200MHz
Static Phase Error	69ps @ 50MHz 85ps @ 200MHz
Active Area	770um x 820um
Chip Area	1500um x 1500um

預計規格

Process	0.35um 1P4M CMOS
Operating Frequency Range	70MHz-200MHz
Supply Voltage	3.3V
Peak-Peak Jitter	55ps @ 70MHz 75ps @ 200MHz
RMS Jitter	11.1ps @ 70MHz 16.1ps @ 200MHz
Power Dissipation	48.2mW @ 200MHz
Active Area	770um x 820um
Chip Area	1500um x 1500um

實測結果

四 計畫成果自評

本次所下線的晶片是一顆成功 function work 的晶片，與我們預計的規格相去不遠，而為何在 50MHz-69MHz 無法做一個很好的鎖定？推測其原因主要有兩個：1. 製程變異，導致 Delay Line 無法提供電路所需的 Delay time；2. 訊號經過很長的 Delay Cells 後，造成信號的衰減，以致於輸入的信號傳送到最後的 Delay Cells 時 (50MHz-69MHz 所使用的 Delay Cells) 訊號已被吃掉，因此無法輸出正常的信號。所以，未來在設計 Delay Cell 時，若信號不夠大時，

必須在其中加入 Buffer，來提升信號強度，以提供足夠的訊號給下一級 Delay Cell。另外輸出的波形擺幅不是很大，主要是因為 Output Buffer 設計的不夠好以及對於 PAD 效應的考慮不夠周詳所造成，因此，未來需注意 Output Buffer 的設計及 I/O PAD 的選用，才能有較好的晶片量測 Performance。

五 參考文獻

- [1] Bruno W. Garlepp, et. Al. "A Portable Digital DLL Architecture for CMOS Interface Circuit" Symposium on VLSI Circuit Digest of Technical Papers, 1998.
- [2] T. H. Lee, K. S. Donnelly, J. T. C. Ho, J. Zerbe, M. G. Johnson, T. Ishikawa, "A 2.5 V CMOS delay-locked loop for an 18 Mbit, 500 Megabyte/s DRAM," IEEE J. Solid-State Circuits, vol.29, Dec. 1994, pp.1491-1496.
- [3] A. Efendovich, Y. Afek, C. Sella, Z. Bikowsky, "Multifrequency zero-jitter delay-locked loop", IEEE J. Solid-State Circuits, vol.29, Jan. 1994, pp.67 -70.
- [4] B. W. Garlepp, K. S. Donnelly, J. Kim, P. S. Chau, J. L. Zerbe, C. Huang, C. V. Tran, C. L. Portmann, D. Stark, Y.-F. Chan, T. H. Leen, M. A. Horowitz, "A Portable Digital DLL for High-Speed CMOS Interface Circuits", IEEE J. Solid-State Circuits, vol.34, May 1999, pp.632-644.
- [5] S.Tanoi, T.Tanabe, K. Takashi, S. Miyamoto, and M. Uesugi, "A 250MHz-622MHz deskew and jitter-suppressed clock buffer using two-loop architecture" IEEE J. Solid-State Circuit, Vol.31, Apr. 1996, pp. 487-493.
- [6] K. Lee, Y. Moon, D.-K. Jeong, "Dual loop delay-locked loop", U.S. patent

- pending .
- [7] S. Sidiropoulos, M. A. Horowitz, "A semi-digital dual delay-locked loop", *IEEE J. Solid-State Circuits*, vol.32, Nov. 1997, pp.1683 -1692.
- [8] M. G. John and E. L. Hudson, : A variable delay line PLL for CPU-coprocessor synchronization, " *IEEE J. Solid-State Circuits*, vol.23, no. 5, Oct.1998, pp. 1218-1223.
- [9] C. H. Sen, Design of CMOS DLL and 1.25Gb/s Data Recovery, thesis, 2002.
- [10] M. J. Lee, W. J. Poulton, p. chiang, S. E. Greenwood, " An 84-mW 4-Gb/s clock and data recovery circuit for serial link applications," *VLSI circuit, Digest of Technical Papesr*, 2001 Symposium, 2001, pp. 149 –152.
- [11]W. Rhee, "Design of high-performance CMOS charge pumps in phase-locked loops," *ISCAS Circuits and Systems*, Proceedings of the 1999 IEEE International Symposium, vol. 2,1999, pp.545-548.
- [12]A delay line loop for frequency synthesis of deskewed clock.
- [13]J. G. Maneatis, " Precise delay generation using coupled oscillators," ph. D. dissertation, Stanford university.
- [14]P. Larsson, " A 2-1600MHz CMOS clock recovery PLL with low-vdd capability," *IEEE J. Solid-State Circuit*, vol. 34, no 12, Dec. 1999, pp. 1951-1960.
- [15] G Kim, M. K. Kim, B.S. Chang, W. Kim, " A low-voltage, low power CMOS delay element," *IEEE J. Solid-State Circuits*, vol. 31, no 7, July 1996, pp. 966-971.
- [16]J. G. Maneatis, " Low-jitter process-independent DLL and PLL based on self-biased techniques," *IEEE J. Solid-State Circuits*, vol 31, no 11, Nov. 1996, pp. 17823-1732.
- [17]MEAD Microelectronics Inc., "Lecture notes for phase-locked loops, oscillators, and frequency synthesizer," 1998.
- [18]W. O. keese, : An analysis and performance evaluation of a passive filter design technique for charge pump phase-locked loops", *National Semiconductor Application Note 1001*, May 1996.
- [19]D. J. Foley, and M. P. Flynn, " CMOS DLL-based 2-V 3.2-ps jitter 1-GHz clock synthesizer and temperature-compensated tunable oscillator ", *IEEE J. Solid-State Circuits*, vol. 36, no3, Mar. 2001, pp. 417-423.