淡江大學電機工程學系碩士班(控制晶片與系統組)

碩士論文

指導教授：周永山、李世安 博士

權重H_2降階控制器設計及硬體迴路模擬

Design and Hard ware-in-the-loop Simulation of Weighted H_2 Reduced-order Controllers

研究生：吳達太　撰

中華民國 104 年 6 月

誌謝

在完成碩士生涯的同時，首先，感謝指導教授周永山博士在這段時間的指導，非常有耐心的的教導我強健控制這高深奧秘的領域，在我遇到艱深的問題時，有系統的點破問題的盲點，教我如何自己思考解決問題。在研究的過程中經常遇到不少困境，但老師總能在緊要關頭提出建議或是解決的方法，讓我體會到做研究是要非常嚴謹及細心。在我研究中低落時，總是溫和的激勵我。在艱深的理論中也能一步步的提昇自己的實力。感謝老師的帶領，使我在研究生涯中學到如何嚴謹細心的完成事情。

論文在最後能順利完成，特要感謝口試委員容志輝老師與吳政郎老師。在兩位老師細心的提供寶貴的建議與指正，使得論文能更加的完整，在此致上由衷的感謝。接著，感謝系統整合研究室的俊辰、正昌、雲綸、文翔、景富、咨融、品勳學長姐們，在我研究生涯中教導我很多理論的知識，特別感謝景富學長在我遇到許多疑難雜症時，幫了我很多忙同時感謝相互學習的家偉在學習過程中的討論與分享，感謝卓隆、伯勝學弟在這段時間的陪伴，讓我在研究生涯中增添了許多色彩。最後，我要感謝家中的父母在這段時間給我非常大的支持，讓我能夠無所顧忌的完成業。我要將此論文與你們分享，謝謝。

達太 謹誌

民國 104 年 7 月 28 日 于淡水

論文名稱：權重H_2降階控制器設計及硬體迴路模擬　頁數：58

校系(所)組別：淡江大學電機工程學系(研究所)控制晶片與系統組

畢業時間及提要別：103 學年度第 2 學期　　碩士學位論文提要

研究生：吳達太　　指導教授：　周永山、李世安 博士

論文提要內容：

本文研究權重H_2降階控制器設計之問題。傳統方法引入權重函數會造成控制器階數增加，並且在擴增系統內產生一些無法移動的極點，造成閉迴路極點配置的困難。本文針對這兩點提出改善的方法，利用僅併入權重函數的一部分而非全部，配合特殊之變數設定，推導出權重H_2性能之充分條件。如此，可彈性調整控制器階數使其介於受控體階數以及受控體與權重函數階數總和之間。另外，本文所提的方法，不管權重函數的極點是否落在指定的極點配置區域中，仍能進行區域極點配置。

本論文所提出的設計條件皆為線性矩陣不等式(Linear Matrix Inequalities，LMIs)，可利用 MATLAB 軟體求解以及數值模擬驗證。最後，本文在 FPGA(DE2-115)開發板上，運用硬體描述語言將所設計出之控制器實現在硬體上。再與 Simulink 作結合，透過硬體迴路模擬證實我們所提方法之可行性。

關鍵字: 權重函數、H_2控制、降階、區域極點配置、FPGA、硬體迴路模擬。

Title of Thesis： Total pages: 58

Design and Hard ware-in-the-loop Simulation of Weighted H_2 Reduced-order Controllers

Key word: weighting functions、loop shaping、H_2 control、reduced-order、regional pole placement、Hardware-in-the-loop

Name of Institute:
Department of Electrical Engineering, Tamkang University

Graduate date: June 2015 Degree conferred: Master

Name of student: Da-Tai Wu 吳達太 Advisor: Chou, Yung-Shan 周永山
Li, Shih-An 李世安

Abstract:

This thesis investigates the problem of weighted H_2 reduced-order controller design. Traditional method introduces weighting functions into the design procedure, which increases the order of the controllers. Furthermore, it leads to the situation that some poles of the augmented plant (i.e., the weighted plant) are fixed, causing difficulty in closed-loop pole placement. To make improvements concerning the two questions, only a part but not all of the weighting function is incorporated into the plant. Sufficient conditions for the problem are derived utilizing a particular choice of variables. As a result, in the affirmative case the order of the controller is equal to the sum of the plant's order and the order of the part of the weighting function incorporated into the plant, which in total lies between the plant's order

and that of the weighted plant. In addition, the proposed method is capable of performing regional pole placement, regardless of the poles of the weighting function falling within the specified region in the complex plane or not.

The solvability conditions derived for the problem are in terms of linear Matrix Inequalities (LMIs), which can be solved efficiently using MATLAB. Finally, the controller is implemented on FPGA(DE2-115) development board. When integrated with Simulink the results of the hardware-in-the-loop simulation validate the effectiveness of the proposed method.

表單編號： ATRX-Q03-001-FM031-01

目 錄

中文摘要.....I

英文摘要.....II

目錄.....IV

圖目錄.....VI

表目錄.....IX

第一章 緒論 1

1.1 文獻回顧與研究動機 1

1.2 論文架構 2

第二章 背景知識 3

第三章 H_2 降階控制器設計(CT) 6

3.1 前言 6

3.2 降階控制器設計 8

第四章 數值模擬 15

第五章 FPGA 硬體迴路模擬 30

5.1 軟硬體設計環境介紹 30

5.2 MATLAB 與 FPGA 連線設定說明 32

5.3 控制器硬體實現 34

5.3.1Simulink 建模 35

5.4 VHDL 硬體描述語言 36

5.5 控制器燒錄至開發板 37

5.6 FPGA 與 MATLAB 連線模擬 43

5.7 模擬結果 47

第六章 結論與未來研究方向 50

參考文獻 51

附錄 53

圖目錄

圖 3.1　系統架構 I 7

圖 3.2　系統架構 II 8

圖 4.1　控制系統方塊圖 15

圖 4.2　低頻高斯干擾之產生方式 19

圖 4.3　情況 1～6 時閉迴路函數 T_{zw} 與 W 之振幅響應圖 20

圖 4.4　低頻高斯干擾之抑制效果(控制器為 2 階) 21

圖 4.5　低頻高斯干擾之抑制效果(控制器為 3 階) 22

圖 4.6　低頻高斯干擾之抑制效果(控制器為 5 階) 22

圖 4.7　低頻高斯干擾之抑制效果(控制器為 7 階) 23

圖 4.8　T_{zw} 與 W 之振幅響應圖 26

圖 4.9　低頻高斯干擾之抑制效果(控制器為 2 階) 27

圖 4.10　低頻高斯干擾之抑制效果(控制器為 3 階) 27

圖 4.11　低頻高斯干擾之抑制效果(控制器為 5 階) 28

圖 4.12　低頻高斯干擾之抑制效果(控制器為 8 階) 28

圖 5.1　製作流程圖 31

圖 5.2　DE2-115　FPGA 開發板 32

圖 5.3　ip 位置設定 33

圖 5.4　訊號流程圖 34

圖 5.5　控制器為 FPGA 模擬之閉迴路 35

圖 5.6　數位電路圖 37

圖 5.7　數位電路圖 38

圖 5.8　轉換為 VHDL 檔 39

圖 5.9　燒入至開發板步驟 40

圖 5.10　開發板 ip 設定 41

圖 5.11　VHDL 元件匯入 41

圖 5.12　開發板腳位確認圖 42

圖 5.13　燒錄元件 42

圖 5.14　控制器元件 43

圖 5.15　Simulink 控制器架構 43

圖 5.16　設定離散模式 44

圖 5.17　設定離散模式 44

圖 5.18　Simulink 訊號傳遞到開發板之轉換設定 45

圖 5.19　開發板訊號傳遞回 Simulink 之轉換設定 46

圖 5.20　控制器為 Simulink 模擬之閉迴路 47

圖 5.21　控制器為 Fpga 模擬之閉迴路 47

圖 5.22　控制器為 FPGA 模擬之誤差訊號 48

圖 5.23　控制器為 simulink 模擬之誤差訊號 48

圖 5.24　控制器以 simulink 模擬及 FPGA 模擬比較 49

表目錄

表 4.1　方法一 17

表 4.2　方法二 24

表 5.1　製作流程圖 31

表 5.2　Simulink 建模元件說明 35

第一章 緒論

1.1 文獻回顧與研究動機

指定頻段H_2迴路整形(loop shaping)技術[1]為強健控制領域中重要的研究主題，其應用很廣，例如：主動式懸吊系統、電力電子、追蹤控制、飛行控制等。因目前並沒有計算H_2範數在指定頻段的數學工具，本研究仍採用引入權重函數結合H_2控制的方式設計控制器。以往這樣的作法會造成控制器階數的增加，增加了硬體實現上的複雜度。此外，也會在系統內增加無法移動的極點，如此，極點就不能自由配置，影響系統暫態性能的設計。針對這傳統作法的限制，本研究提出新型設計方法，在某些條件有解的情況下，可得降階控制器(階數小於受控體與權重函數階數之總和)，並且閉迴路極點能夠配置在指定區域。

本研究針對連續時間受控體進行設計，並且僅將權重函數的一部分併入受控體，來調整控制器的階數。然後修改 de Oliveira 等人的變數變換技巧[2]，提出充分有解條件，以達到權重H_2控制以及區域極點配置的目的。

在功能驗證方面，以往經常只運用 MATLAB 及 Simulink 進行數值模擬，缺乏進一步的硬體驗證。但若要進行整個系統所有的必要測試，考

量成本及安全性，耗費不貲。此時，硬體迴路模擬(Hardware-in-the-loop simulation)提供了另一種選擇。故在硬體驗證部份中，本文將使用硬體迴路模擬來實現控制迴路，採用 DE2-115 開發板，將所設計出之控制器轉移函數利用硬體描述語言寫入 DE2-115，受控體則用 Simulink 模擬。進行一個完整的模擬測試，驗證所設計之控制器是否達到設計目標。

1.2 論文架構

本論文共有六章，第一章為緒論，簡介現階段關於H_2迴路整型技術的問題與所研究的問題。第二章為背景知識，提供符號之定義以及第三章推導控制器設計條件所需引理。第三章提出的設計方法乃權重H_2降階控制器設計，其合成條件運用了一特殊之變數設定，能自由選擇控制器階數與區域極點配置的設計目標。第四章依據本文提出的權重H_2降階控制器設計方法進行數值模擬，驗證確實可達到設計目標。第五章為硬體迴路模擬，包括其建構步驟及模擬驗證。第六章為結論與未來研究方向。

第二章 背景知識

本章介紹本論文所需的背景知識，包含所使用符號之意義、定義，以及重要引理。

符號意義

$\mathbb{R}$	實數域
$\mathbb{C}$	複數域
$\mathbb{R}^n$	n 維實數行向量所成集合。
$\mathbb{R}^{m\times n}$	$m\times n$ 實數矩陣所成集合
RH_∞	實係數有理(real-rational)、正則(proper)、穩定函數的所成集合
$\mathrm{U}(RH_\infty)$	RH_∞ 之子集合，其內任一元素之反矩陣亦屬於 RH_∞
$F_l(A,B)$	下線性分式轉換(lower linear fractional transformation) 若 $A=\begin{bmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{bmatrix}$，則 $F_l(A,B)=A_{11}+A_{12}B(I-A_{22}B)^{-1}A_{21}$
$\begin{pmatrix} A & B \\ * & C \end{pmatrix}$	代表對稱矩陣 $\begin{pmatrix} A & B \\ B^T & C \end{pmatrix}$
$Trace(X)$	矩陣 X 的對角線元素和

$\sigma(X)$ 矩陣 X 全部的特徵值

$\mathrm{He}\{X\}$ $\mathrm{He}\{X\}=\frac{1}{2}(X+X^*)$

$\mathrm{H}(\alpha)$ $\{s\in\mathbb{C}:\mathrm{Re(s)}<-\alpha,\alpha>0\}$，亦即在複數平面上，$s=-\alpha$ 以左的區域內部所有點所成集合。

定義 2.1[1]: 假設離散時間函數 $T(s)\in RH_\infty$，則其 H_2 範數定義為

$$\| T(s) \|_2 := [\ \frac{1}{2\pi}\int_{-\infty}^{\infty} Trace\left(T^*(j\omega)T(j\omega)\right) d\omega\ ]^{\frac{1}{2}}\text{。}$$

引理 2.1[2,3]: 給予一正數 ν_2 及任一正數 b。若 $H(s)\in RH_\infty$，其狀態空間實現為 (A,B,C,D)，其中 (A,B) 為可穩定(stabilizable)，(A,C) 為可偵測(detectable)，而 $D=0$，則底下敘述等價。

(i) 矩陣 A 為穩定且 $\|H(s)\|_2<\nu_2$。

(ii) 存在變數 $P=P^T$、G 以及 $Z=Z^T$ 使下式子成立。

$$\begin{bmatrix} 0 & -P & 0 \\ -P & 0 & 0 \\ 0 & 0 & -I \end{bmatrix} + He\left\{\begin{bmatrix} A \\ I \\ C \end{bmatrix} G\begin{bmatrix} I & -bI & 0 \end{bmatrix}\right\} < 0 \tag{2.1}$$

$$\begin{bmatrix} Z & B^T \\ B & P \end{bmatrix} > 0 \tag{2.2}$$

$$Trace(Z) < \sqrt{\nu_2} \tag{2.3}$$

引理 2.2:給予一實數α及任一正數b，以及一方形矩陣A，則下列敘述為等價。

(i) 矩陣A滿足$\sigma(A)\subset \mathrm{H}(\alpha)$(即$A$之特徵值皆落在集合$\mathrm{H}(\alpha)$之中)

(ii) 存在變數$P=P^T>0$與G使下列式子成立。

$$\begin{bmatrix} AG+G^TA^T & -P-bAG+G^T & P+bAG \\ -P+G-bG^TA^T & -bG-bG^T & bG \\ P+bG^TA^T & bG^T & -\frac{1}{2}\alpha^{-1}P \end{bmatrix}<0 \tag{2.4}$$

淡江大學 TAMKANG UNIVERSITY 敦品 勵學 求真 務實

第三章 權重H_2降階控制器設計

3.1 前言暨問題敘述

目前H_2迴路整型問題因受限於數學工具的缺乏，並無類似 GKYP 引理的直接設計方法，因此引入權重函數來輔助設計仍是主要的作法。然而，引入權重函數會使控制器階數增加，而且這樣的擴增系統含不可移動之極點(即權重函數之極點)，若要應用多目標控制方法[2-4]於此擴增系統，將閉回路系統極點配置在指定區域，除非權重函數的極點先行配置在此指定區域，否則相關區域極點配置條件將無解。針對上述兩問題，本章將提出一設計方法，降低控制器階數使其階數可介於受控體與與傳統方法所得階數之間。此外，即使權重函數極點不在指定區域，本論文提出兩作法移除使區域極點配置條件無解的障礙。

考慮圖 3.1 含權重函數W之系統架構，P代表一線性、連續時間、非時變系統描述如下:

$$P\begin{cases}\dot{x}(t)=Ax(t)+B_1w(t)+B_2u(t)\\ z(t)=C_1x(t)+D_{11}w(t)+D_{12}u(t)\\ y(t)=C_2x(t)+D_{21}w(t)\end{cases} \tag{3.1}$$

其中$x(t)\in\mathbb{R}^n$為狀態向量，$u(t)\in\mathbb{R}^{m_2}$和$y(t)\in\mathbb{R}^{p_2}$分別為控制訊號與量測輸

出訊號，而$w(t)\in\mathbb{R}^{m_1}$為特定頻段之雜訊，$z(t)\in\mathbb{R}^{p_1}$為觀測訊號，矩陣$A, B_1, B_2, C_1, C_2, D_{11}, D_{12}, D_{21}$為適當維度的常數矩陣。$W$為權重函數，用來反映雜訊$w$之頻率特性。例如設定$v$為一高斯雜訊，若$W$為低通函數，則$w$為一低頻高斯雜訊。

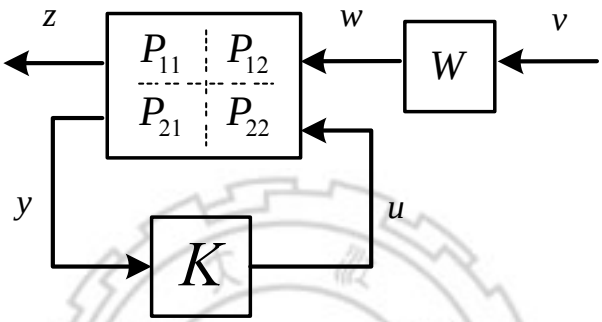


圖 3.1 系統架構 I

K為一動態控制器描述如下:

$$K\begin{cases}\dot{x}_k(t)=A_K x_k(t)+B_K y(t)\\ u(t)=C_K x_k(t)+D_K y(t)\end{cases} \tag{3.2}$$

令 $\mathrm{H}(\alpha)$ 代表複數平面上 $s=-\alpha(\alpha>0)$ 以左內部區域，亦即 $\mathrm{H}(\alpha):=\{s\in\mathbb{C}:\mathrm{Re}(s)<-\alpha\}$，而$T_{zw}$代表從$w$到$z$的轉移函數，本文探討的問題敘述如下。

問題 1:給予一正數ν_2和一穩定之權重函數W，其階數為n_w。設計一降階控制器K，其階數為n_k，滿足$n\le n_k<n+n_w$，使閉迴路系統T_{zw}之極點落在

區域 $\mathrm{H}(\alpha)$ 之中，並且滿足 $\|T_{zw}W\|_2 < \nu_2$ 。

3.2 降階控制器設計

為了達到降階控制之目的(即 $n_k < n + n_w$)，我們將權重函數表示為兩函數之乘積，即 $W = W_a \times W_b$ ，其中 W_a 的階數為 n_a ，W_b 階數為 n_b ，而 $(A_{Wa}, B_{Wa}, C_{Wa}, D_{Wa})$ 與 $(A_{Wb}, B_{Wb}, C_{Wb}, D_{Wb})$ 分別代表 W_a 與 W_b 之狀態空間實現。把 W_a 併入受控體 P ，可得新的受控體 $\bar{P}$ 如下:

$$\bar{P} = \left[\begin{array}{c|c} P_{11}W_a & P_{12} \\ \hline P_{21}W_a & P_{22} \end{array}\right] = \left[\begin{array}{cc|cc} A & B_1C_{Wa} & B_1D_{Wa} & B_2 \\ 0 & A_{Wa} & B_{Wa} & 0 \\ \hline C_1 & D_{11}C_{Wa} & D_{11}D_{Wa} & D_{12} \\ C_2 & D_{21}C_{Wa} & D_{21}D_{Wa} & 0 \end{array}\right] =: \left[\begin{array}{c|cc} \bar{A} & \bar{B}_1 & \bar{B}_2 \\ \hline \bar{C}_1 & \bar{D}_{11} & \bar{D}_{12} \\ \bar{C}_2 & \bar{D}_{21} & 0 \end{array}\right] \tag{3.3}$$

參考圖 3.2，新的受控體 $\bar{P}$ 與控制器 K 合成的閉迴路系統可表示如下:

$$T_{z\bar{w}} = F_l(\bar{P}, K) = \left[\begin{array}{cc|c} \bar{A} + \bar{B}_2 D_K \bar{C}_2 & \bar{B}_2 C_K & \bar{B}_1 + \bar{B}_2 D_K \bar{D}_{21} \\ B_K \bar{C}_2 & A_K & B_K \bar{D}_{21} \\ \hline \bar{C}_1 + \bar{D}_{12} D_K \bar{C}_2 & \bar{D}_{12} C_K & \bar{D}_{11} + \bar{D}_{12} D_K \bar{D}_{21} \end{array}\right] =: \left[\begin{array}{c|c} A_{cl} & B_{cl} \\ \hline C_{cl} & D_{cl} \end{array}\right] \tag{3.4}$$

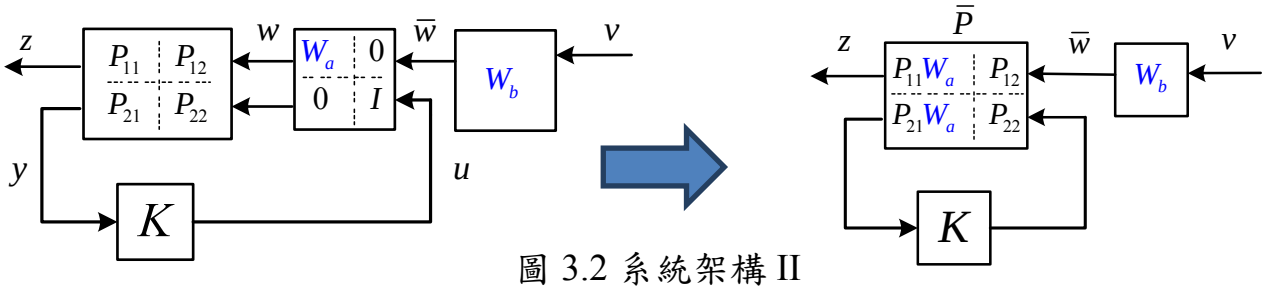


圖 3.2 系統架構 II

而 $T_{z\bar{w}}$ 與 W_b 形成的系統可表示為

$$F_l(\bar{P},K)\times W_b=\left[\begin{array}{cc|c} A_{Wb} & 0 & B_{Wb} \\ B_{cl}C_{Wb} & A_{cl} & B_{cl}D_{Wb} \\ \hline D_{cl}C_{Wb} & C_{cl} & D_{cl}D_{Wb} \end{array}\right]=:\left[\begin{array}{c|c} A_{CL} & B_{CL} \\ \hline C_{CL} & D_{CL} \end{array}\right] \tag{3.5}$$

接下來，本文修改 de Oliveira 等人之方法，可推導出設計條件，其中控制器階數$n_k=n+n_a$。由於n_a為W_a之階數，且$0\le n_a<n_w$，所以可藉由n_a之調整(即選擇W_a)來改變控制器之階數n_k，使其符合$n\le n_k<n+n_w$的設計目標。較具體而言，將(3.5)之閉迴路矩陣資料代入引理 2.1，即可推導出權重H_2性能的有解條件，即$\|T_{zw}W\|_2<\nu_2$(詳見附錄一)。

而在區域極點配置方面，研擬將此要求加諸於擴增系統$F_l(\bar{P},K)$。由於部分的權重函數W_a併入了受控體P如(3.3)所示，其相當於在擴增受控體$\bar{P}$中增加了不可移動的極點(即W_a之極點或A_{wa}之特徵值)。為了達成區域極點配置的目標，W_a之極點必須全數落在指定的極點配置區域中。然而，一般的權重函數不一定符合此限制，因此關於W_a與W_b之設定，本論文提出兩種作法。

作法一：不管權重函數即W之極點是否在指定之區域內，令$W=W_a\times W_b$，其中$W_a\in \mathrm{U}(\mathrm{RH}_\infty)$為一自由設計(或無中生有)的函數，階數可自訂，且極點設定在指定區域$\mathrm{H}(\alpha)$內。如此，可得$W_b=W_a^{-1}W\in \mathrm{RH}_\infty$。所以$W_a\times W_b=W$，不影響原本權重函數的頻率響應特質，而且對加諸於擴增系統$F_l(\bar{P},K)$的

區域極點配置設計要求不會構成障礙。

作法二：假若所得權重函數其極點皆落在指定區域內，則透過因式分解，很容易可將W表示為W_a與W_b之乘積，其中W_a之階數可自由設定。例如，若取得離散低通 FIR 函數F(z)，透過雙線性公式$z=\dfrac{1+as}{1-as}$可轉換為連續時函數W(s)，而且可選擇適當正數a使得W(s)之極點$s=\dfrac{-1}{a}$落在指定區域H(α)之中。

根據上述W_a與W_b之設定將(3.4)之A_{cl}代入引理 2.2，可推導得到使擴增系統$F_l(\bar{P},K)$之極點位於區域H(α)之內的有解條件(詳見附錄二)。

定理 3.1:給予正數ν_2、α、b與ε，以及穩定的權重函數$W=W_a\times W_b$，其中W_a的階數為n_a，$0\le n_a<n_w$。若存在變數$\tilde{P}_{11}=\tilde{P}_{11}^T\in\mathbb{R}^{n_p\times n_p}$、$\tilde{P}_{12}\in\mathbb{R}^{n_p\times n_p}$、$\tilde{P}_{22}=\tilde{P}_{22}^T\in\mathbb{R}^{n_p\times n_p}$、$\hat{P}_{11}=\hat{P}_{11}^T\in\mathbb{R}^{n_b\times n_b}$、$\hat{P}_{12}\in\mathbb{R}^{n_b\times 2n_p}$、$\hat{P}_{22}=\hat{P}_{22}^T\in\mathbb{R}^{2n_p\times 2n_p}$、$Z\in\mathbb{R}^{p_1\times p_1}$、$G_{11}\in\mathbb{R}^{n_b\times n_b}$、$N\in\mathbb{R}^{2n_p\times n_b}$、$S\in\mathbb{R}^{n_p\times n_p}$、$R\in\mathbb{R}^{n_p\times n_p}$、$J\in\mathbb{R}^{n_p\times n_p}$、$A_F\in\mathbb{R}^{n_p\times n_p}$、$B_F\in\mathbb{R}^{n_p\times p_2}$、$C_F\in\mathbb{R}^{m_2\times n_p}$、$D_F\in\mathbb{R}^{m_2\times p_2}$、$G_u\in\mathbb{R}^{2n_p\times n_b}$(其中$n_p=n+n_a$)使條件(3.6)-(3.9)有解，則存在階數為$n+n_a$之降階控制器$K$，使得閉迴路系統$F_l(P,K)$之極點位於區域H($\alpha$)之內，而且$\|T_{zw}\times W\|_2<\nu_2$。

$$\begin{bmatrix} \Xi_{11}^{(a)} & \Xi_{12}^{(a)} & \Xi_{13}^{(a)} & \Xi_{14}^{(a)} & \Xi_{15}^{(a)} & \Xi_{16}^{(a)} \\ * & \Xi_{22}^{(a)} & -\tilde{P}_{12}{}^{T} - bA_F & \Xi_{24}^{(a)} & \tilde{P}_{12}{}^{T} + bA_F & \Xi_{26}^{(a)} \\ * & * & -b\times \mathrm{He}\{S\} & -b\times(J+I) & bS^T & bI \\ * & * & * & -b\times \mathrm{He}\{R^T\} & bJ^T & bR \\ * & * & * & * & -\frac{1}{2}\alpha^{-1}\tilde{P}_{11} & -\frac{1}{2}\alpha^{-1}\tilde{P}_{12} \\ * & * & * & * & * & -\frac{1}{2}\alpha^{-1}\tilde{P}_{22} \end{bmatrix} < 0 \tag{3.6}$$

$$\left[\begin{array}{cccccc|cccc} -b\times He\{G_{11}\} & -b\{N^T\} & \Xi_{13}^{(b)} & \tilde{P}_{12}-N^T & b\times G_{11}B_{Wb} & 0 & (G_u^T) & 0 & 0 \\ * & \Xi_{22}^{(b)} & \Xi_{23}^{(b)} & \Xi_{24}^{(b)} & b\times\Xi_{25}^{(b)} & -b\times\Xi_{26}^{(b)} & 0 & \Xi_{26}^{(b)} & 0 \\ * & * & He\{[G_{11}A_{Wb}]\} & \Xi_{34}^{(b)} & G_{11}B_{Wb} & b\times\Xi_{36}^{(b)} & 0 & \Xi_{36}^{(b)} & (G_u^T) \\ * & * & * & \Xi_{44}^{(b)} & \Xi_{25}^{(b)} & b\times\Xi_{46}^{(b)} & 0 & \Xi_{46}^{(b)} & 0 \\ * & * & * & * & -I & b\times\Xi_{44}^{(b)} & 0 & \Xi_{44}^{(b)} & 0 \\ \hline * & * & * & * & * & \varepsilon^{-1}I & 0 & 0 & 0 \\ * & * & * & * & * & * & \varepsilon I & 0 & 0 \\ * & * & * & * & * & * & * & \varepsilon^{-1}I & 0 \\ * & * & * & * & * & * & * & * & \varepsilon I \end{array}\right] > 0 \tag{3.7}$$

$$\begin{bmatrix} Z & (D_{11}+D_{12}D_F D_{21})C_{Wb} & C_1S^T + D_{12}C_F & C_1 + D_{12}D_F C_2 \\ * & \tilde{P}_{11} & \tilde{P}_{12} & \\ * & * & \tilde{P}_{22} & \end{bmatrix} > 0 \tag{3.8}$$

$$Trace(Z) < \sqrt{\nu_2} \tag{3.9}$$

其中

$$\Xi_{11}^{(a)} = \mathrm{He}\left\{AS^T + B_2C_F\right\}$$
$$\Xi_{12}^{(a)} = A + B_2D_FC_2 + A_F^T$$
$$\Xi_{13}^{(a)} = -\tilde{P}_{11} - b(AS^T + B_2C_F)$$
$$\Xi_{14}^{(a)} = -\tilde{P}_{12} - b\left(A + B_2D_FC_2\right)$$
$$\Xi_{15}^{(a)} = \tilde{P}_{11} + b\left(AS^T + B_2C_F\right)$$
$$\Xi_{16}^{(a)} = \tilde{P}_{12} + b\left(A + B_2D_FC_2\right)$$
$$\Xi_{22}^{(a)} = \mathrm{He}\left\{RA + B_FC_2\right\}$$
$$\Xi_{24}^{(a)} = -\tilde{P}_{22} - b\left(RA + B_FC_2\right)$$
$$\Xi_{26}^{(a)} = \tilde{P}_{22} + b\left(RA + B_FC_2\right)$$

淡江大學 TAMKANG UNIVERSITY 敦品 樂群 勤學 力行

$$\Xi_{13}^{(b)} = \tilde{P}_{11} - G_{11}^T + bG_{11}A_{Wb}$$

$$\Xi_{22}^{(b)} = -b * \mathrm{He}\left\{\begin{bmatrix} S^T & I \\ J^T & R \end{bmatrix}\right\}$$

$$\Xi_{23}^{(b)} = \tilde{P}_{12}^T + b * NA_{Wb} + b\begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + (B_F) D_{21} \end{bmatrix} C_{Wb}$$

$$\Xi_{24}^{(b)} = \tilde{P}_{22} - \begin{bmatrix} S & J \\ I & R^T \end{bmatrix} + b\begin{bmatrix} AS^T + B_2 C_F & A + B_2 D_F C_2 \\ A_F & RA + B_F C_2 \end{bmatrix}$$

$$\Xi_{25}^{(b)} = \left(NB_{Wb} + \begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + (B_F) D_{21} \end{bmatrix} D_{Wb} \right)$$

$$\Xi_{26}^{(b)} = -\begin{bmatrix} S & J \\ I & R^T \end{bmatrix}$$

$$\Xi_{34}^{(b)} = \left\{ \left(NA_{Wb} + \begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + (B_F) D_{21} \end{bmatrix} C_{Wb} \right)^T \right\}$$

$$\Xi_{36}^{(b)} = C_{Wb}^T \begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + (B_F) D_{21} \end{bmatrix}^T$$

$$\Xi_{44}^{(b)} = He\left\{\begin{bmatrix} AS^T + B_2 C_F & A + B_2 D_F C_2 \\ A_F & RA + B_F C_2 \end{bmatrix}\right\}$$

$$\Xi_{46}^{(b)} = \begin{bmatrix} AS^T + B_2 C_F & A + B_2 D_F C_2 \\ A_F & RA + B_F C_2 \end{bmatrix}^T$$

$$\Xi_{44}^{(b)} = D_{Wb}^T \begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + (B_F) D_{21} \end{bmatrix}^T$$

當上述線性矩陣不等式 LMI 式(3.6)-(3.9)有解時，選擇 X_{12}, Y_{12} 滿足 $SR^T + Y_{12}X_{12}^T = J$ ，則可利用以下公式(3.10)還原降階控制器 K (階數 $n + n_a < n + n_w$):

$$\begin{aligned} D_K &= D_F \\ C_K &= \left(C_F - D_K \bar{C}_2 S^T\right) Y_{12}^{-T} \\ B_K &= X_{12}^{-1}\left(B_F - R\bar{B}_2 D_K\right) \\ A_K &= X_{12}^{-1}\left[A_F - R\left(\bar{A} + \bar{B}_2 D_K \bar{C}_2\right) S^T - X_{12} B_K \bar{C}_2 S^T - R\bar{B}_2 C_K Y_{12}^T\right] Y_{12}^{-T} \end{aligned} \tag{3.10}$$

底下提供上述降階控制器設計之演算法。

演算法一：

給定一廣義受控體P(如式(3.1))。給予正數ν_2、α與穩定的權重函數W，其階數為n_w。控制器的階數設定為n_k，$n < n_k < n + n_w$。

步驟 1：設定$b > 0$，$\varepsilon > 0$。

步驟 2：依據作法一或作法二，將W表示為兩轉移函數之乘積$W = W_a \times W_b$，其中W_a之階數為n_a。

步驟 3：計算$\bar{P}$如(3.3)。

步驟 4：求解(3.6)-(3.9)之變數使ν_2盡量小。

步驟 5：設定$X_{12} = I$與$Y_{12} = J - SR^T$。

步驟 6：接著將A_F, B_F, C_F, D_F代入(3.10)，得到K。

第四章 數值模擬

本章提供一數值例子來驗證本論文所提控制器設計方法的可行性。考慮以下連續時間、線性、非時變的控制系統，如圖 4.1 所示

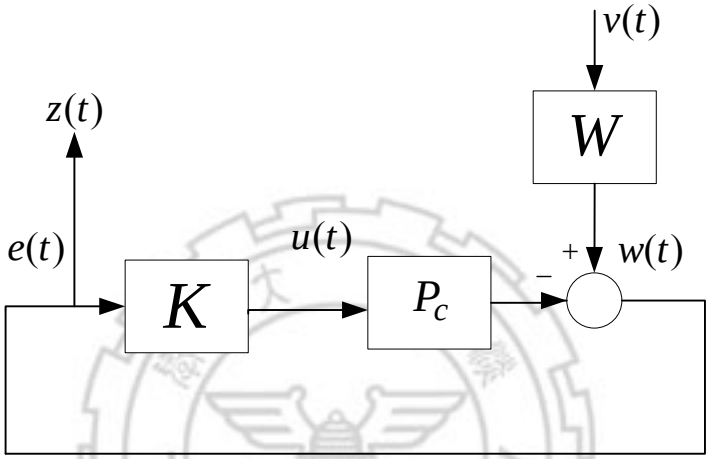


圖 4.1 控制系統方塊圖

受控體 P_c 轉移函數(階數 n)如下

$$P_c(s)=\frac{234}{s^2+194.18s+147119} \tag{4.1}$$

訊號 w 代表一低頻雜訊，假設其乃由高斯雜訊 v(期望值為 0、變異數為 1)注入低通函數 W 而產生(註：W 之階數為 n_w，截止頻率設定為 1Hz)本例子擬設計降階控制器 K (階數 n_k ,$n \le n_k < n+n_w$)抑制雜訊 w 對誤差訊號

e的影響，並且使閉迴路極點配置在$H(\alpha)$，$\alpha=2$之區域內。

應用第三章所提設計方法，先將圖 4.1 控制系統轉換為如圖 3.1 含權重函數W之PK系統架構，其中廣義受控體的動態方程式如下:

$$P\begin{cases}\dot{x}(t)=Ax(t)+B_1w(t)+B_2u(t)\\ z(t)=C_1x(t)+D_{11}w(t)+D_{12}u(t)\\ y(t)=C_2x(t)+D_{21}w(t)\end{cases}$$

其狀態空間矩陣的資料[4]如下:

$A=\begin{bmatrix}-194.18 & -147119\\ 1 & 0\end{bmatrix}$，$B_1=\begin{bmatrix}0\\0\end{bmatrix}$，$B_2=\begin{bmatrix}1\\0\end{bmatrix}$

$C_1=\begin{bmatrix}0 & -234\end{bmatrix}$，$C_2=\begin{bmatrix}0 & -234\end{bmatrix}$，$D_{11}=1$，$D_{12}=0$，$D_{21}=1$，$D_{22}=0$

在低通函數$W(\mathrm{s})$的設計方面，本文先利用雙線性轉換$z=\dfrac{1+as}{1-as}$(設定$a=1$)將連續時間$W(\mathrm{s})$的截止頻率 1Hz 轉換為離散離散時間截止頻率 0.5π (rad/sec)，再利用 FIR 的設計方法，取得一離散時間的低通函數$F(\mathrm{z})$。然後，再次利用雙線性轉換$z=\dfrac{1+as}{1-as}$(設定$a=1$)得到$W(\mathrm{s})$如下：

$$F(\mathrm{z})=\frac{0.1981z^6-1.085z^5+2.57z^4+7.705z^3+2.57z^2-1.085z+0.1981}{\mathrm{s}^6}$$

(4.2)

$$W(\mathrm{s})=\frac{-0.0004403s^5+34.76s^4-0.001468s^3-33.16s^2-0.0004403s+11.07}{(\mathrm{s}+1)^6}\quad(4.3)$$

其極點皆在-1，並不在指定的區域極點配置範圍內。設定$b=1$，

$\varepsilon = \dfrac{1}{83000000}$ 。

依照第三章作法一及應用定理 3.1 可得不同階數的降階控制器，

$n_k = 2,3,\cdots,7$，相關資料如表 4.1 方法 1 所示。

表 4.1 方法一

	情況 1	情況 2	情況 3
控制器階數 n_k	$n_k = 2$	$n_k = 3$	$n_k = 4$
$W_a(\mathrm{s})$	1	$\left(\dfrac{s+6}{s+5}\right)^1$	$\left(\dfrac{s+6}{s+5}\right)^2$
$W_b(\mathrm{s})$	$W(\mathrm{s})$	$\left(W_a(\mathrm{s})\right)^{-1} W(\mathrm{s})$	$\left(W_a(\mathrm{s})\right)^{-2} W(\mathrm{s})$
$\lVert T_{zw} W \rVert_2$	3.967	2.2771	1.8489
閉迴路系統 $F_l(P,K)$ 之極點	1.0e+03 * (-0.0971 + 0.3711i, -0.0971 - 0.3711i, -0.3462+1.0538i, -0.3462 - 1.0538i)	1.0e+03 * (-0.0060 , -0.0971 +0.3711i, -0.0971 - 0.3711i, -0.6037 + 2.2933i- 0.6037 - 2.2933i)	1.0e+03 * (-0.6336+2.4558i, -0.6336-2.4558i, -0.0971+0.3711i, -0.0971-0.3711i, -0.0060 ,-0.0060)

	情況 4	情況 5	情況 6
控制器階數 n_k	$n_k = 5$	$n_k = 6$	$n_k = 7$
$W_a(\mathrm{s})$	$\left(\frac{s+6}{s+5}\right)^3$	$\left(\frac{s+6}{s+5}\right)^4$	$\left(\frac{s+6}{s+5}\right)^5$
$W_b(\mathrm{s})$	$\left(W_a(\mathrm{s})\right)^{-3} W(\mathrm{s})$	$\left(W_a(\mathrm{s})\right)^{-4} W(\mathrm{s})$	$\left(W_a(\mathrm{s})\right)^{-5} W(\mathrm{s})$
$\lVert T_{zw} W \rVert_2$	0.8205	0.5846	0.1904
閉迴路系統 $F_l(P,K)$ 之極點	1.0e+03 × (-0.6864+2.8709i, -0.6864-2.8709i, -0.0971+0.3711i, -0.0971-0.3711i, -0.0060 , -0.0060 + 0.0000i, -0.0060 - 0.0000i)	1.0e+02 × (-2.6783 + 9.6193i, -2.6783 -9.6193i, -0.9709 +3.7107i, -0.9709 -3.7107i, -0.0611 , -0.0599+0.0010i, -0.0599-0.0010i, -0.0591)	1.0e+02 × (-0.8726 + 3.8378i, -0.8726 –3.8378i, -0.9709 +3.7107i, -0.9709 -3.7107i, -0.0603 +0.0020i, -0.0603 -0.0020i, -0.0624 , -0.0586+0.0009i, -0.0586 -0.0009i)

另外，若依傳統權重 H_2 性能設計方法(不加入區域極點配置之限制)，可得控制器階數 8 階，最小 H_2 性能範數為 0.009，閉迴路系統極點如下：

$10^3 \times$ (-0.8950 + 2.3410i,-0.8950 - 2.3410i,-0.0301 + 0.0000i,-0.0194 + 0.0000i,-0.0014 + 0.0012i,-0.0014 - 0. 0012i,-0.0001 + 0.0000i,-0. 0001 - 0.0000i,-0.0001 + 0.0000 i,-0.0001 - 0.0000i)。其中有四個不在指定區域 $s=-2$ 以左之內。而由於權重函數 W 之極點皆不在此區域內，所以無法藉

由額外之區域極點配置條件使所有閉迴路極點落在指定區域，此處凸顯了本文方法之優點。

底下說明如何產生低頻之高斯干擾訊號。應用 Matlab simulink 中的高斯雜訊產生器，其中期望值與變異數分別設定為 0 與 1，接著將干擾訊號輸入權重函數(5.2)即可得低頻之高斯干擾訊號，標記為 noise1 如圖 4.2 所示。

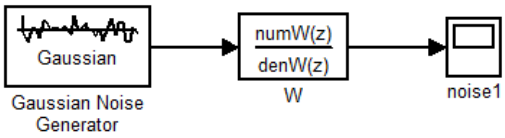


圖 4.2 低頻高斯干擾之產生方式

圖 4.3 顯示權重函數 W 與本論文設計方法所得閉迴路系統 $T_{zw}W$ 之波德圖。由於權重函數的截止頻率為 1Hz，如所期望此方法的閉迴路函數在 W 高起的頻段，其振幅響應均受到抑制。此意味著系統對來自此頻段之干擾訊號，擁有良好的抗干擾能力。

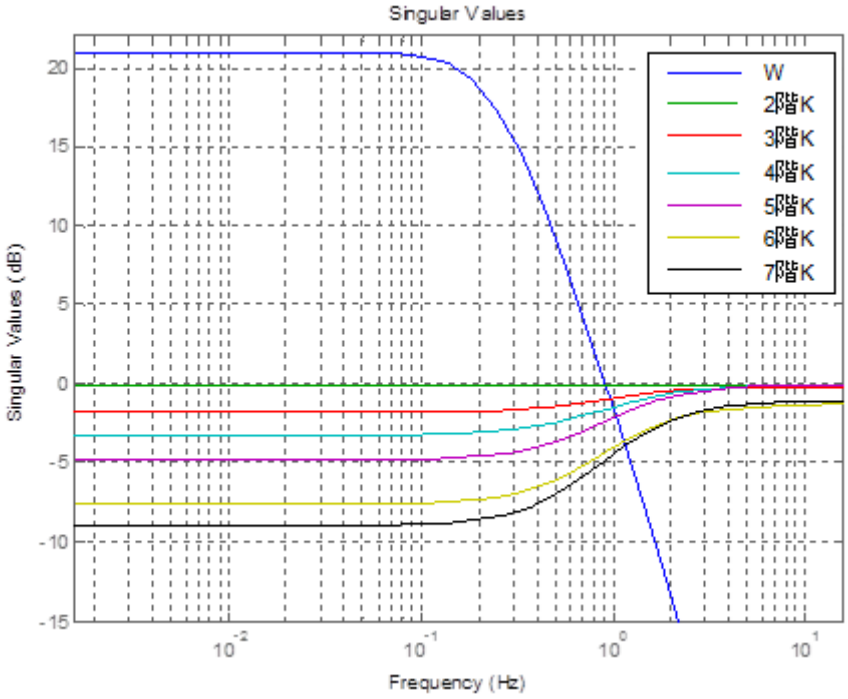


圖 4.3 閉迴路函數T_{zw}與權重W之振幅響應圖(方法 1, 情況 1～6)

圖 4.4 至圖 4.7 顯示雜訊w與控制器為(2 階、3 階、5 階、7 階)之誤差e(其中$z=e$)，由圖可見，隨著控制器階數的增加e的振幅明顯變小，此證實了所提出設計方法對於低頻高斯干擾訊號(noise1)的確有抑制的效果。

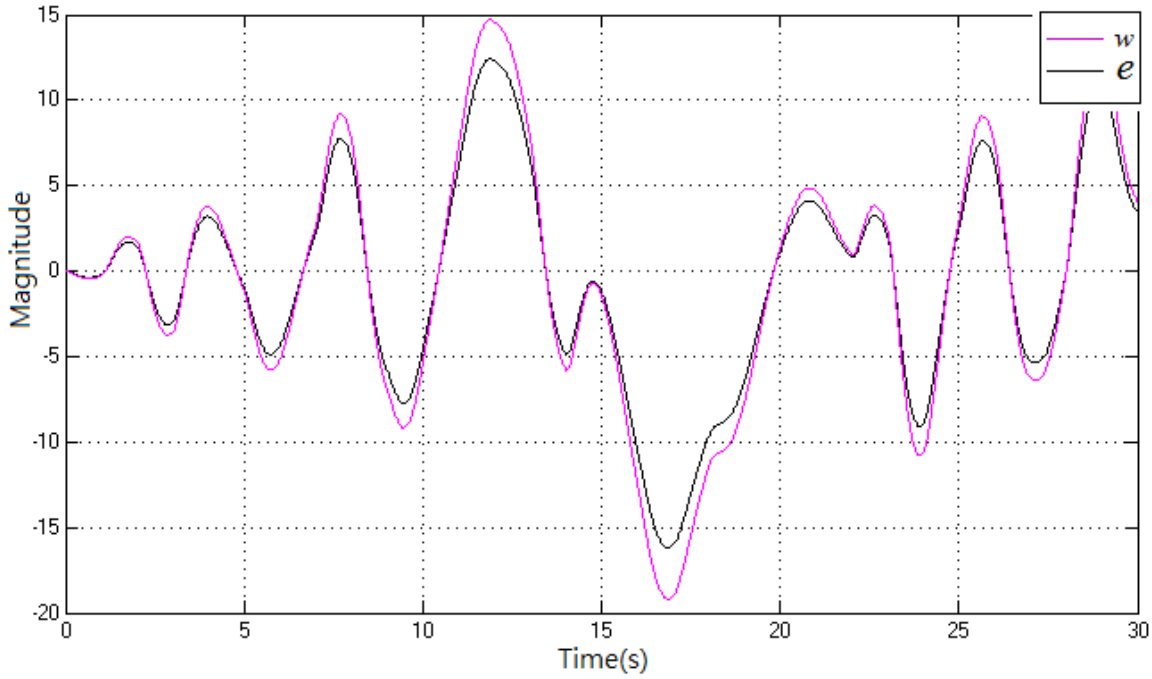


圖 4.4 低頻高斯干擾之抑制效果(控制器為 2 階)

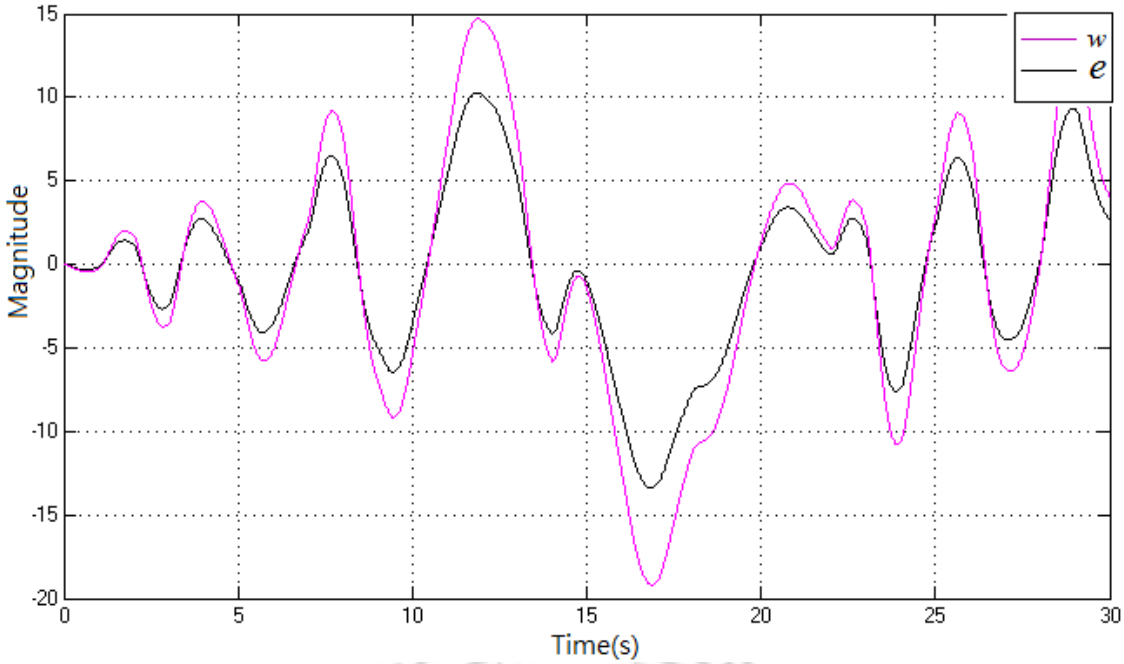


圖 4.5 低頻高斯干擾之抑制效果(控制器為 3 階)

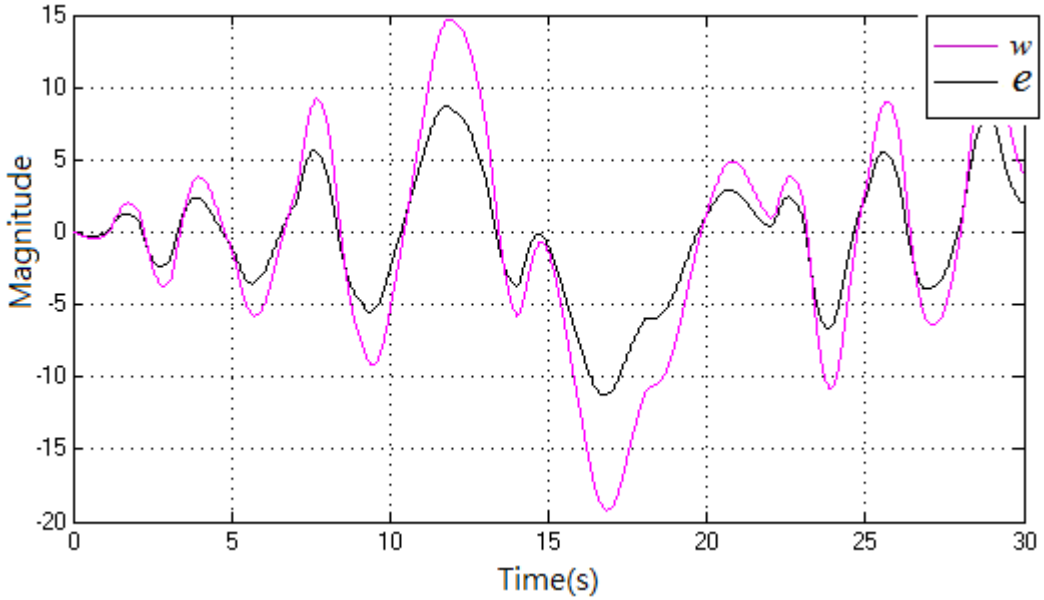


圖 4.6 低頻高斯干擾之抑制效果(控制器為 5 階)

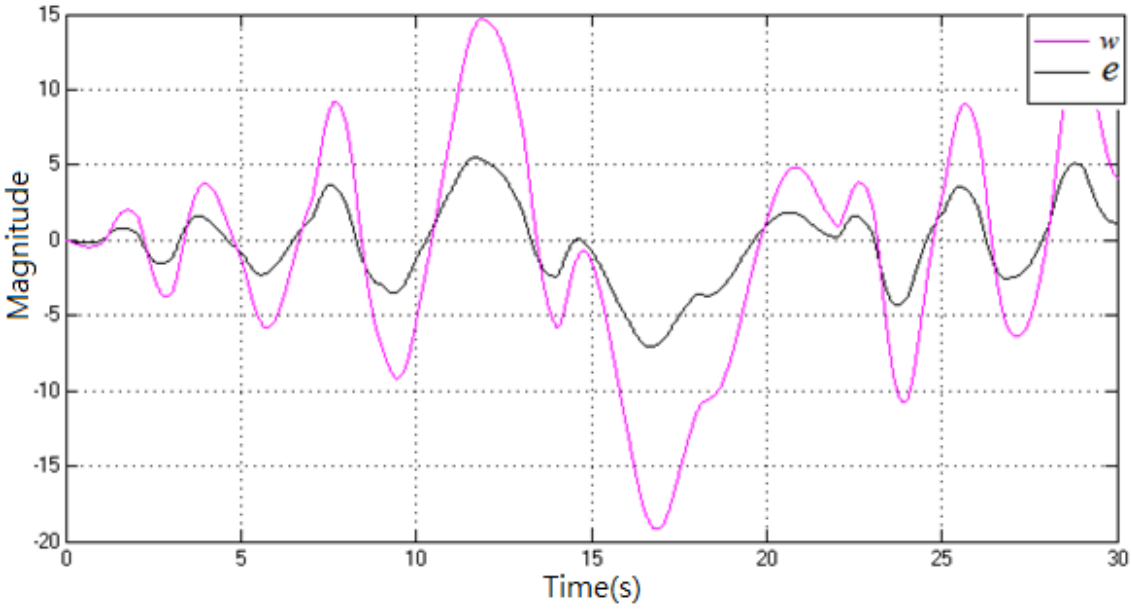


圖 4.7 低頻高斯干擾之抑制效果(控制器為 7 階)

上述方法所設計出的控制器($n_k = 2,3,5,7$)其詳細數據如下：

$$n_k = 2\text{時：}K = \frac{722.2s^2 + 1.402\times10^5 s + 1.062\times10^8}{s^2 + 721.6s + 5.889\times10^5}$$

$$n_k = 3\text{時：}K = \frac{346.5s^3 + 8.457\times10^4 s^2 + 5.433\times10^7 s + 2.543\times10^9}{s^3 + 1005s^2 + 3.57*10^6 s + 1.782\times10^7}$$

$$n_k = 5\text{時：}K = \frac{245.4s^5 + 1.73\times10^5 s^4 + 6.187\times10^7 s^3 + 1.872\times10^{10} s^2 + 2.005\times10^{11} s + 5.48\times10^{11}}{s^5 + 1494s^4 + 9.473\times10^6 s^3 + 1.419\times10^8 s^2 + 7.09\times10^8 s + 1.181\times10^9}$$

$$n_k = 7\text{時：}K = \frac{n_7(\mathrm{s})}{d_7(\mathrm{s})}$$

$$n_7(\mathrm{s}) = 79.9s^7 + 2.089\times10^4 s^6 + 1.289\times10^7 s^5 + 8.099\times10^8 s^4 + 1.401\times10^{10} s^3$$
$$+1.056*10^{11} s^2 + 3.708*10^{11} s + 4.988*10^{11}$$

$$d_7(\mathrm{s}) = s^7 + 211.7s^6 + 1.457\times10^5 s^5 + 3.567\times10^6 s^4 + 3.543\times10^7 s^3$$
$$+1.765\times10^8 s^2 + 4.404\times10^8 s + 4.398\times10^8$$

依照第三章作法二與作法一差別在在低通函數$W(\mathrm{s})$的設計方面，作法二則是先利用雙線性轉換$z=\dfrac{1+as}{1-as}$(設定$a=\dfrac{1}{5}$)將連續時間$W(\mathrm{s})$的截止頻率 1Hz 轉換為離散離散時間截止頻率 0.5π(rad/sec)，再利用 FIR 的設計方法，取得一離散時間的低通函數$F(\mathrm{z})$。然後，再次利用雙線性轉換$z=\dfrac{1+as}{1-as}$(設定$a=\dfrac{1}{5}$)得到$W(\mathrm{s})$如下：

$$W(\mathrm{s})=\frac{-0.002202s^5+869.1s^4-0.1835s^3-2.073\times10^4s^2-1.376s+1.73\times10^5}{(\mathrm{s}+5)^6} \quad (4.4)$$

設定$b=1$，應用定理 3.1 可得不同階數的降階控制器，$n_k=2,3,\cdots,7,$相關資料如表 4.2 方法 2 所示。

表 4.2　方法 2

	情況 1	情況 2	情況 3
控制器階數n_k	$n_k=2$	$n_k=3$	$n_k=5$
$W_a(\mathrm{s})$	1	$\dfrac{-0.0022s+869.0110}{s+5}$	$\dfrac{n_5(\mathrm{s})}{n_5(\mathrm{d})}$
$W_b(\mathrm{s})$	$W(\mathrm{s})$	$\dfrac{s^4-23.8507\mathrm{s}^2+199.0921}{(s+5)^5}$	$\dfrac{W_5(\mathrm{s})}{W_5(\mathrm{d})}$
$\lVert T_{zw}W\rVert_2$	2.881	0.8563	0.1970
閉迴路極點	$10^3\times$ (-0.0971 + 0.3711i -0.0971 - 0.3711i -0.8470 + 2.1085i -0.8470 - 2.1085i)	$10^3\times$ (-0.0060 , -0.0971 +0.3711i, -0.0971 - 0.3711i, -0.6037 + 2.2933i- 0.6037 - 2.2933i)	$10^3\times$ (-0.6336+2.4558i, -0.6336-2.4558i, -0.0971+0.3711i, -0.0971-0.3711i, -0.0060 , -0.0060)

其中

$$\frac{n_5(\mathrm{s})}{n_5(\mathrm{d})}=\frac{-0.022017\mathrm{s}^3+8.6903\times10^4\mathrm{s}^2-6.2708\times10^6\mathrm{s}+1.226\times10^8}{(s+5)^3}$$

$$\frac{W_5(\mathrm{s})}{W_5(\mathrm{d})}=\frac{\mathrm{s}^3-3.947\times10^5\mathrm{s}^2-2.848\times10^6\mathrm{s}-5569}{(s+5)^3}$$

另外，若依傳統權重H_2性能設計方法，可得控制器階數 8 階，最小H_2性能範數為 0.0188，閉迴路系統極點如下：$10^3\times$ (-3.4906 + 8.2441i,-3.4906 - 8.2441i,-0.9709 + 3.7107i,-0.9709 - 3.7107i,-0.1527 + 0.1765i,-0.1527 - 0.1765i,-0.0361 + 0.0105i,-0.0361 - 0.0105i, -0.0602 + 0.0298i,-0.0602 - 0.0298i)。

與方法一不同的是，由於事先就將權重函數極點配置在指定區域$s=-5$以左之內。故不影響區域極點配置條件使所有閉迴路極點落在指定區域，此處提供了另一種選擇。

圖 4.8 顯示權重函數W與本論文所設計方法所得閉迴路系統之波德圖情況 1～4。其中權重函數的截止頻率為 1Hz，如預期此方法的閉迴路系統在W高起的頻段，其振幅響應均受到抑制。此意味著系統對來自此頻段之干擾訊號，擁有良好的抗干擾能力。

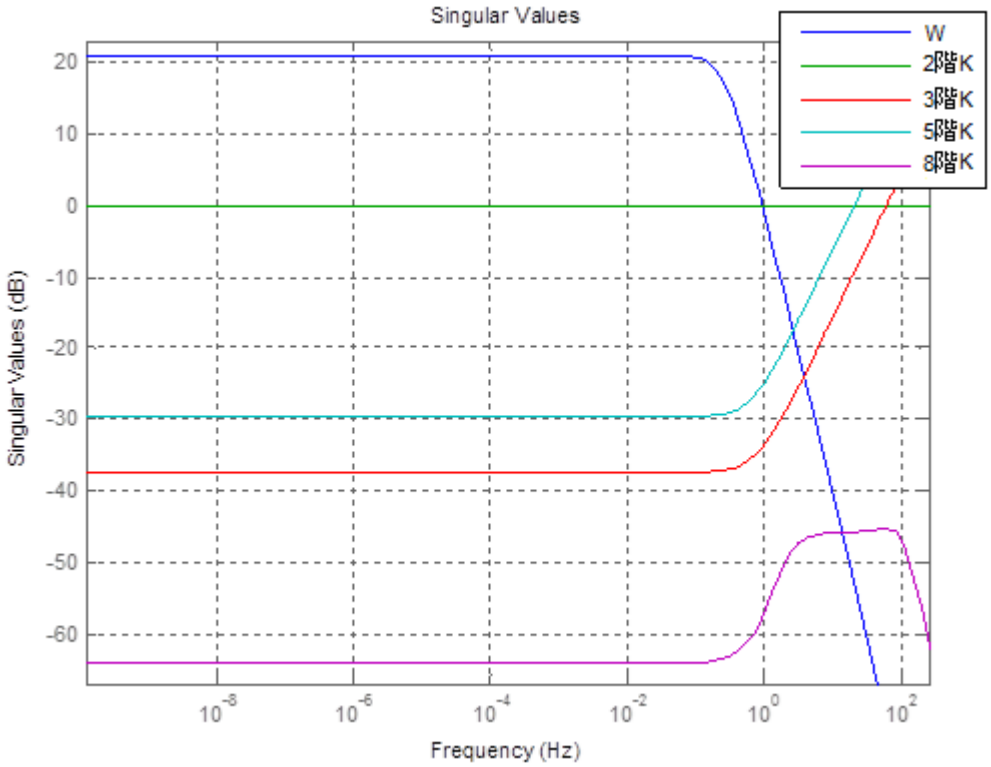


圖 4.8 閉迴路極點T_{zw}與權重W之振幅響應圖(方法 2,情況 1、2、3)

圖 4.9 至圖 4.12 顯示雜訊w與控制器為(2 階、3 階、5 階、8 階)時誤差e，由圖可見，隨著控制器階數的增加e的振幅明顯變小，此證實了所提出設計方法對於低頻高斯干擾訊號(noise1)的確有抑制的效果

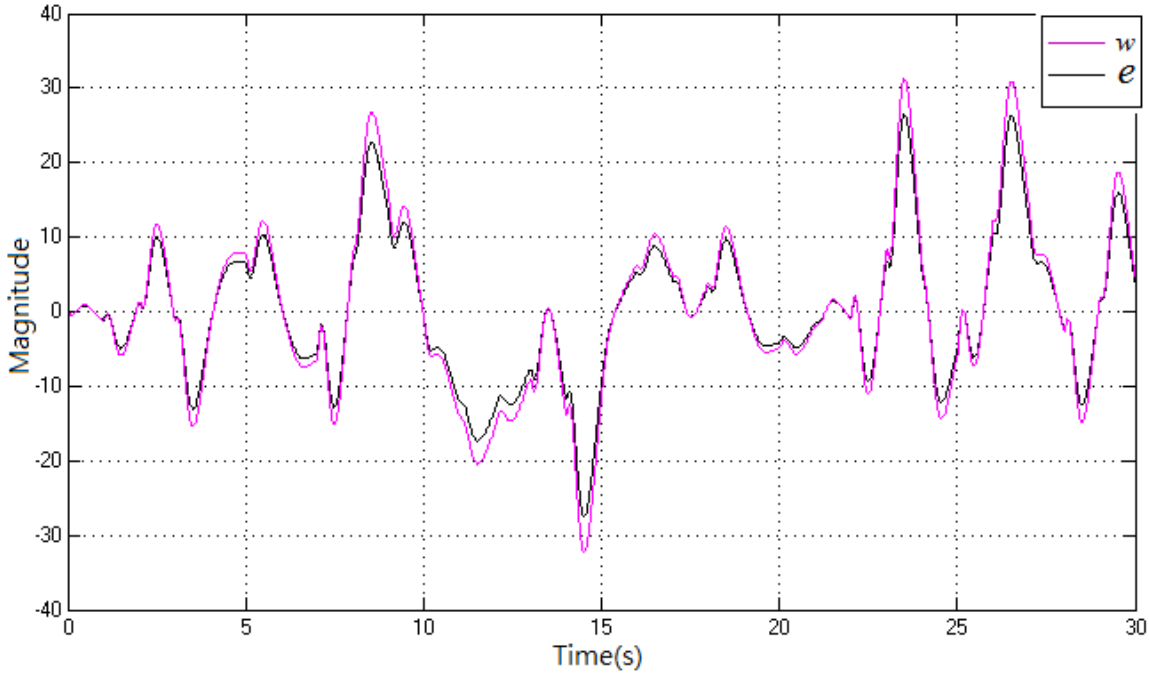


圖 4.9 低頻高斯干擾之抑制效果(控制器為 2 階)

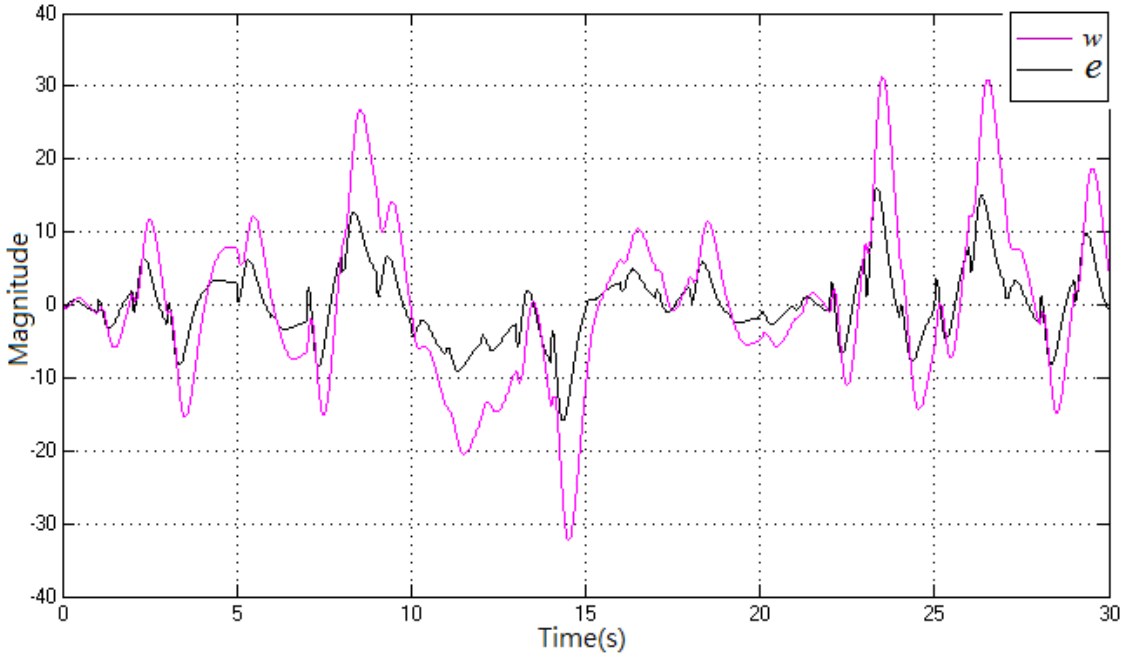


圖 4.10 低頻高斯干擾之抑制效果(控制器為 3 階)

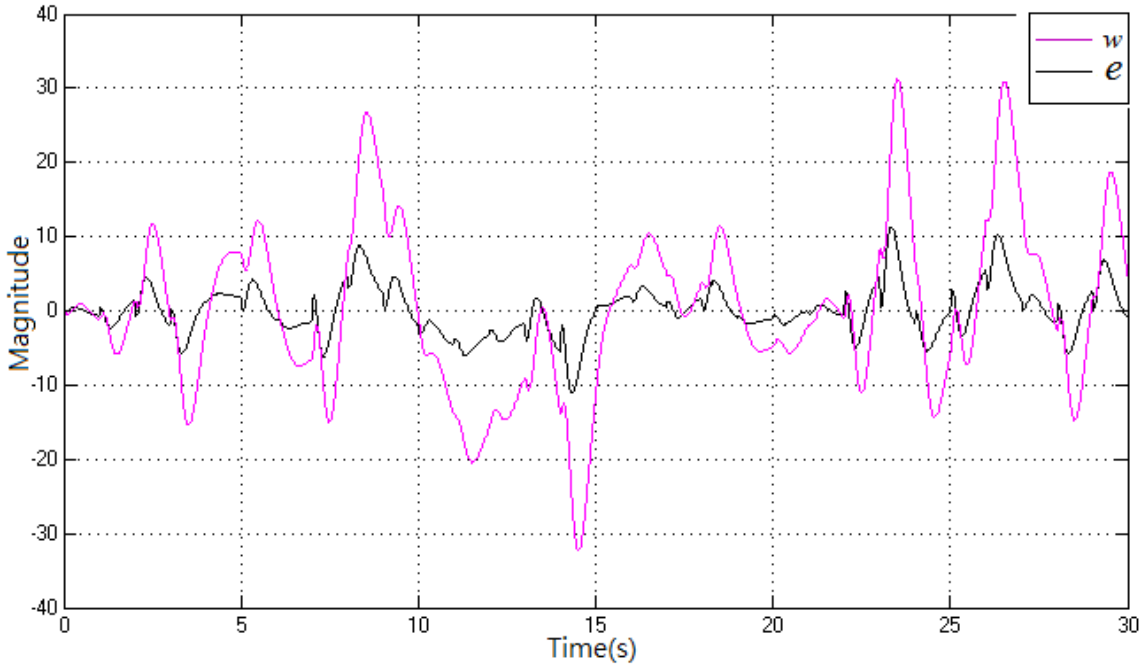


圖 4.11 低頻高斯干擾之抑制效果(控制器為 5 階)

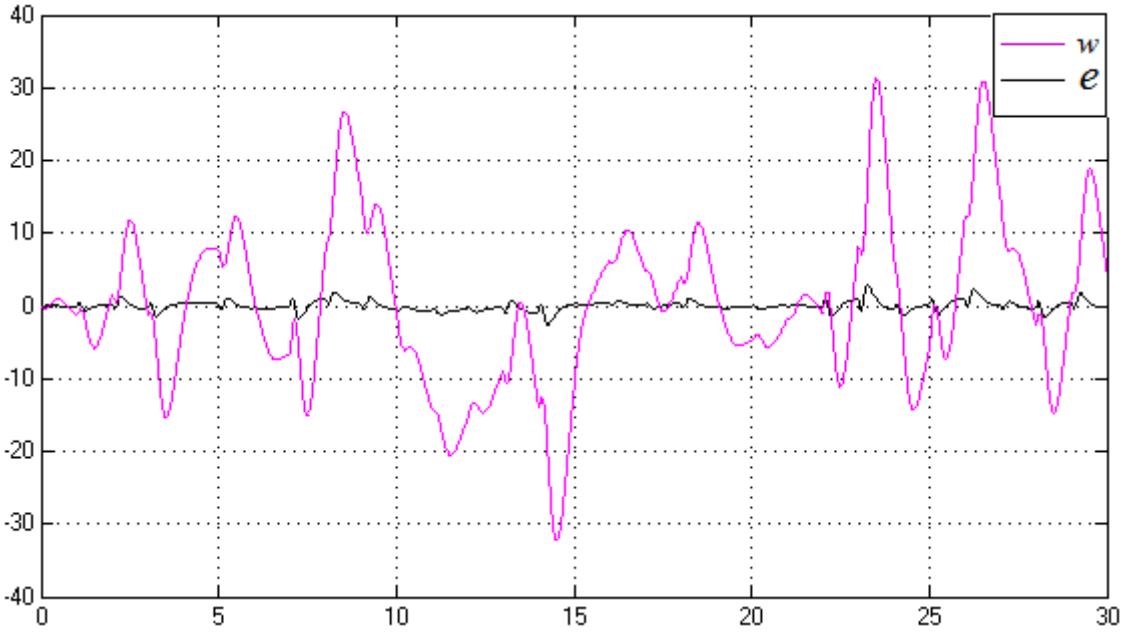


圖 4.12 低頻高斯干擾之抑制效果(控制器為 8 階)

上述方法二所設計出的控制器($n_k = 2,3,5,8$)詳細數據如下：

$$n_k = 2\text{時：}K = \frac{722.2s^2 + 1.402*10^5 s + 1.062*10^8}{s^2 + 721.6s + 5.889*10^5}$$

$$n_k = 3\text{時：}K = \frac{346.5s^3 + 8.457*10^4 s^2 + 5.433*10^7 s + 2.543*10^9}{s^3 + 1005s^2 + 3.57*10^6 s + 1.782*10^7}$$

$$n_k = 5\text{時：}K = \frac{n_5(\mathrm{s})}{d_5(\mathrm{s})}$$

$$n_k = 8\text{時：}K = \frac{n_8(\mathrm{s})}{d_8(\mathrm{s})}$$

$$\begin{aligned} n_5(\mathrm{s}) &= 245.4s^5 + 1.731*10^5 s^4 + 6.187*10^7 s^3 + 1.872*10^{10} s^2 \\ &\quad + 2.005*10^{11} s + 5.479*10^{11} \\ d_5(\mathrm{s}) &= s^5 + 1494s^4 + 9.473*10^6 s^3 + 1.419*10^8 s^2 + 7.09*10^8 s + 1.181*10^9 \end{aligned}$$

$$\begin{aligned} n_8(\mathrm{s}) &= 4.074*10^4 s^8 + 1.02*10^8 s^7 + 4.854*10^{10} s^6 + 2.262*10^{12} s^5 + 4.589*10^{13} s^4 \\ &\quad + 4.816*10^{14} s^3 + 2.654*10^{15} s^2 + 7.299*10^{15} s + 7.982*10^{15} \\ d_8(\mathrm{s}) &= s^8 + 6843s^7 + 3.322*10^8 s^6 + 9.929*10^8 s^5 + 1.24*10^{10} s^4 \\ &\quad + 8.259*10^{10} s^3 + 3.096*10^{11} s^2 + 6.191*10^{11} s + 5.158*10^{11} \end{aligned}$$

第五章 FPGA 硬體迴路模擬

在實體功能驗證上，本文使用 MATLAB(2012)的 FPGA-in-the-loop 的硬體迴路模擬來驗證，其模擬流程圖如圖 5.1 所示。本文將第三章設計所得的控制器轉移函數在本節以硬體描述語言實現，並寫入 FPGA(Field-programmable gate array) 開發板中，而模擬的受控體函數及低頻干擾訊號 w 則以 MATLAB(2012)的 Simulink 功能來模擬產生，最後利用 MATLAB(2012)裡的 FPGA-in-the-loop 功能與 FPGA 做硬體迴路模擬驗證。將純軟體的控制器模擬以及用 FPGA 開發板實現的硬體迴路模擬結果做比較，計算兩者誤差值，誤差越小則表示所設計的硬體控制器越正確。

本節在硬體迴路模擬中主要區分為二大步驟，步驟一撰寫硬體描述語言，並燒入 FPGA 開發板，以實現控制器。步驟二在 Simulink 內建立迴路模組並用 FPGA-in-the-loop 建立連線。步驟流程參考如圖 5.1

5.1 軟硬體設計環境介紹

本文使用的軟體程式及硬體開發板規格表列於表 5.1，其中 MATLAB 軟體需使用 2012 版本。主要是 MATLAB 2012 版本有支援 DE2-115 FPGA 開發板，因此選用 MATLAB(2012)的版本。

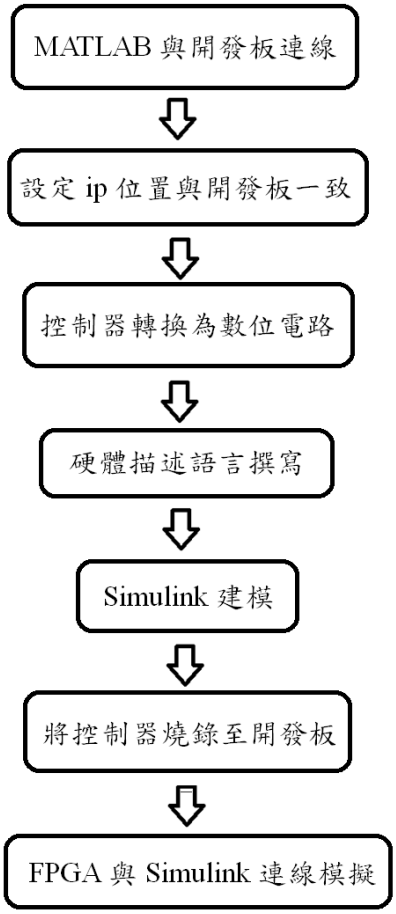


圖 5.1 製作流程圖

表 5.1

硬體	FPGA 開發版 (Altera DE2-115 Development and Education Board)
使用軟體	MATLAB(2012)與 Quartus II(11.0)
作業系統	Windos 7 企業版

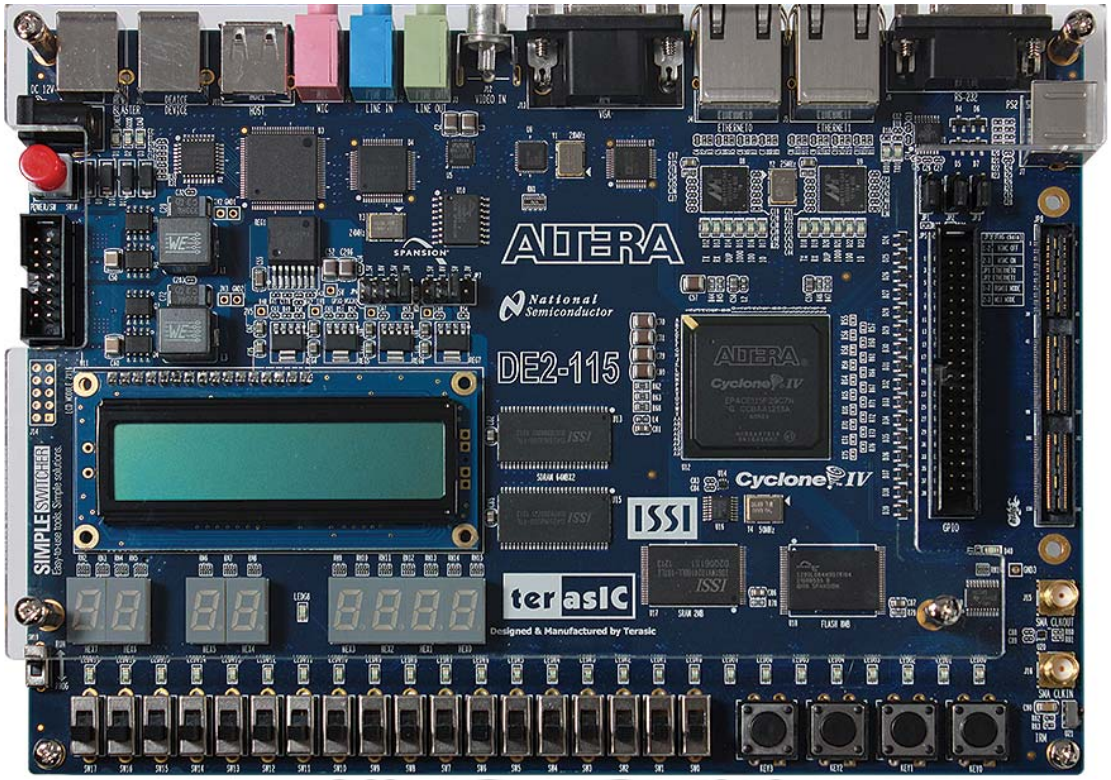


圖 5.2 DE2-1 15 FPGA 開發板

5.2 MATLAB 與 FPGA 連線設定說明

本節說明與 FPGA 開發板進行硬體迴路模擬功能設定方法，讓 MATLAB(2012)能與 FPGA 開發板產生連線，使用設定步驟分別說明如下：

I. MATLAB(2012)與 FPGA 開發板連線設定

首先在 MATLAB(2012)中的 Command Window 上輸入下方的程式 hdlsetuptoolpath('ToolName','Altera Quartus II' ,'ToolPath', 'C:\altera\11.0sp1\quartus\bin64\quartus.exe');這條語言在 ToolName 與 Altera Quartus II 主要是在說明要連接的軟體名稱，後面

ToolPath 與 C:\altera\11.0sp1\quartus\bin64\quartus.exe 是在說明這個軟體開起位置(開啟位置因 Quartus II 安裝位置不同而不同)。

II. 電腦網路 ip 設定

由於電腦的 MATLAB(2012)與 DE2-115 開發板是藉由網路線連接，所以電腦端網路卡的 IP 位址會影響到連線，故須更改網路卡 IP 位址，設定方式如下：

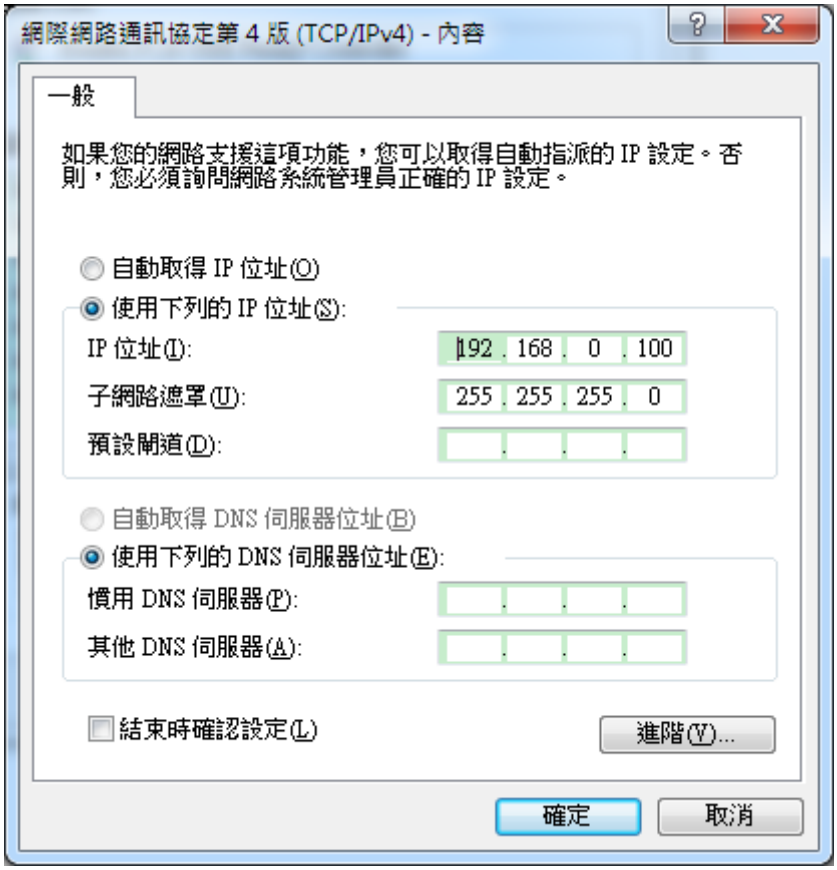


圖 5.3 ip 位置設定

5.3 控制器硬體實現

在撰寫硬體描述語言之前，本文需要將第三章所得之控制器轉移函數轉換為數位控制的轉移函數，才能利用硬體描述語言撰寫。將控制器轉移函數(5.1)以(5.2)表示。令 $U(z)$ 與 $E(z)$ 分別代表訊號 $u(k)=u^*(kT)$ 與 $e(k)=e^*(kT)$，然後推導出(5.3)，據以畫出訊號流程圖，如圖 5.4 所示。

控制器轉移函數: $$K=\frac{111.8z^3+333z^2+330.7z^1+109.5}{z^3+2.666z^2+2.333z^1+0.6664} \tag{5.1}$$

$$K(z)=\frac{U(z)}{E(z)}=\frac{a_3z^3+a_2z^2+a_1z^1+a_0}{z^3+b_2z^2+b_1z^1+b_0} \tag{5.2}$$

$$\begin{aligned} u^*(t)=&a_3\times e^*(t)+a_2\times e^*(t-T)\\ &+a_1\times e^*(t-2T)+a_0\times e^*(t-3T)\\ &-b_2\times e^*(t-T)-b_1\times e^*(t-2T)-b_0\times e^*(t-3T)\end{aligned} \tag{5.3}$$

其中：$t=kT$ ，$k=0,1,2...$

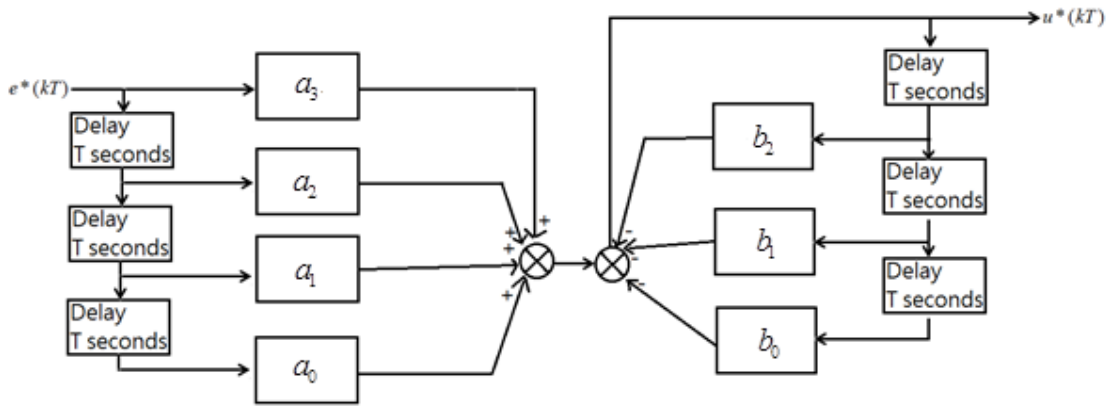


圖 5.4：訊號流程圖

5.3.1Simulink 建模

透過 MATLAB(2012)裡的 FPGA-in-the-loop 功能將 FPGA 開發板與電腦連接。由於 Simulink 訊號與 FPGA 開發板訊號規格不相同，因此需先將 Simulink 中的浮點數訊號轉換定點數訊號給 FPGA 開發板。具體而言，在 Simulink 中透過 Convert 模組將浮點數訊號轉換成二進位定點數數值給 FPGA 開發板做計算，計算完成後再將定點數數值轉換為浮點數給 Simulink。

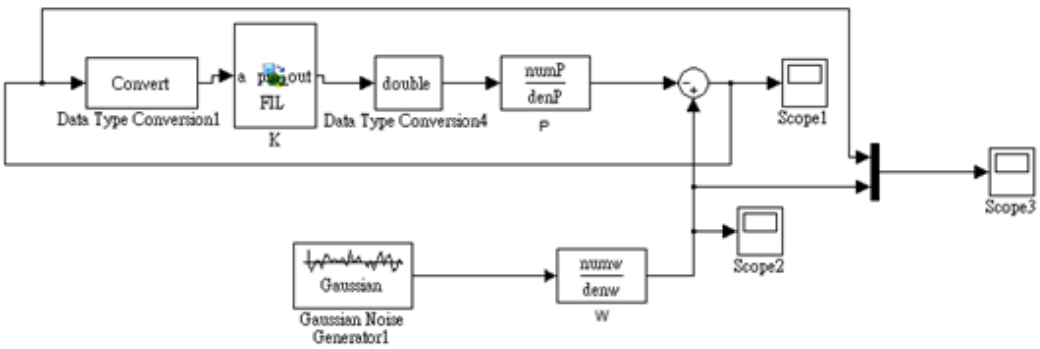
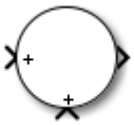
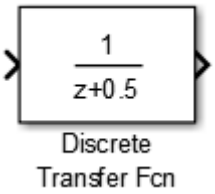
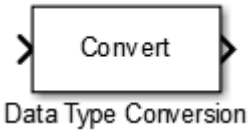
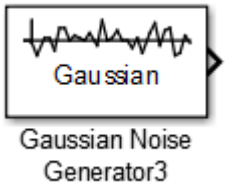


圖 5.5 控制器為 FPGA 模擬之閉迴路

本文的控制系統閉迴路架構如圖 5.5 所示，主要分為三個部分，其分別是：1. 控制器、2. 受控體與 3. 雜訊產生器。表 5.2 將一一說明圖 5.5 之各元件的功能。

表 5.2 Sim ulink 建模元件說明

符號	名稱	說明
	Sum	用來當回授的連接
	Scope	用來顯示輸出的波形
	Discrete Transfer Fcn	此為離散的函數
	Data type Conversion	由於電腦與 FPGA 開發板所使用的訊號不同需作轉換才能互通。其中電腦到 FPGA 開發板需要轉成二進制，而 FPGA 開發板到電腦需換成 double。
	Gaussian Noise Generator	高斯雜訊的產生
	Controller	控制器寫入開發板之元件

5.4VHDL 硬體描述語言

在撰寫硬體描述語言中主要分為四個模組，乘法器、延遲器、加法器、減法器。完成硬體描述語言撰寫後，需將每個模組以上述訊號流程圖形式組合起來，參考圖 5.6、圖 5.7。

TAMKANG UNIVERSITY

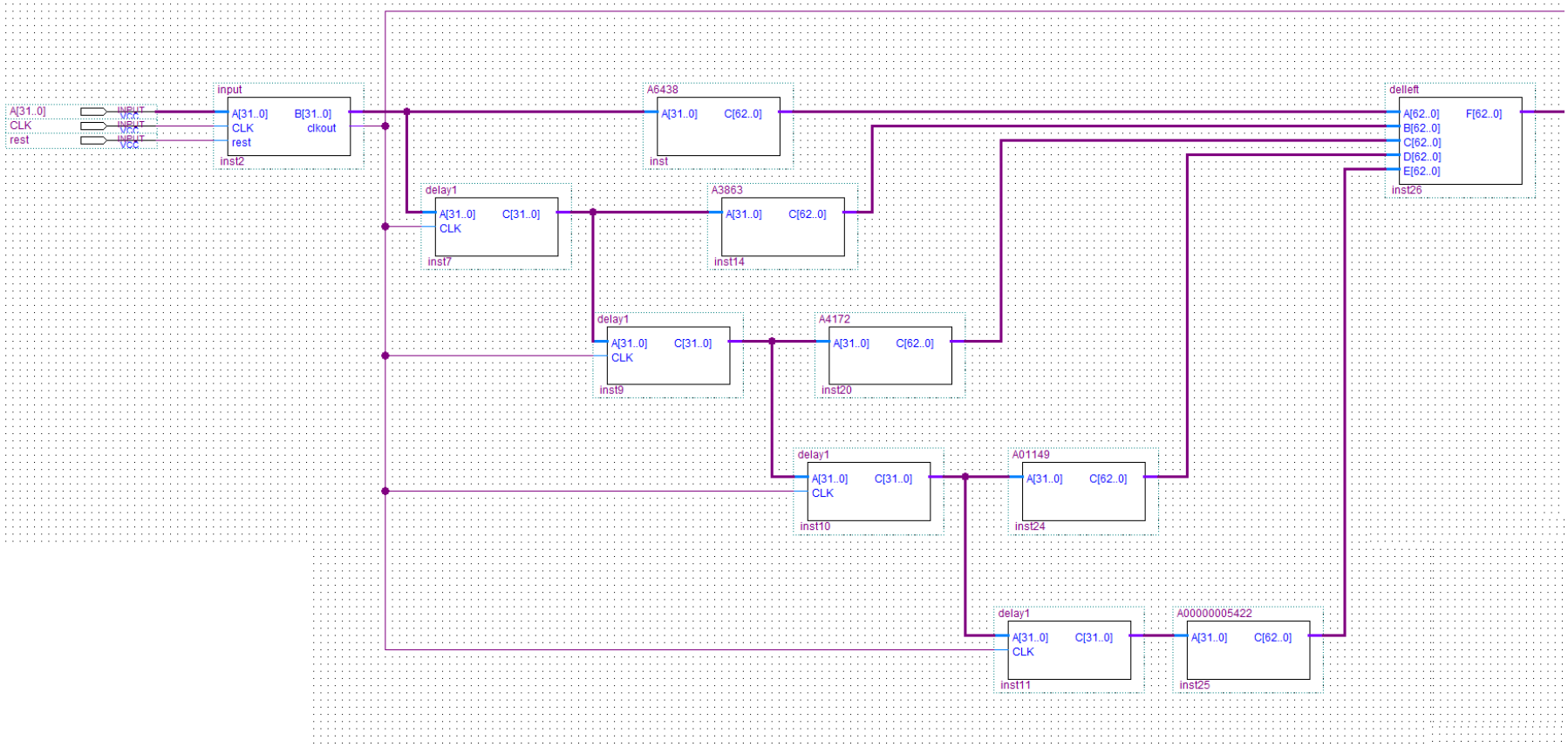

A[31..0]
CLK
rest
INPUT
VCC
input
A[31..0]
CLK
rest
B[31..0]
clkout
inst2
A6438
A[31..0]
C[62..0]
inst
delleft
A[62..0]
B[62..0]
C[62..0]
D[62..0]
E[62..0]
F[62..0]
inst26
delay1
A[31..0]
CLK
C[31..0]
inst7
A3863
A[31..0]
C[62..0]
inst14
delay1
A[31..0]
CLK
C[31..0]
inst9
A4172
A[31..0]
C[62..0]
inst20
delay1
A[31..0]
CLK
C[31..0]
inst10
A01149
A[31..0]
C[62..0]
inst24
delay1
A[31..0]
CLK
C[31..0]
inst11
A00000005422
A[31..0]
C[62..0]
inst25

圖 5.6　數位電路圖

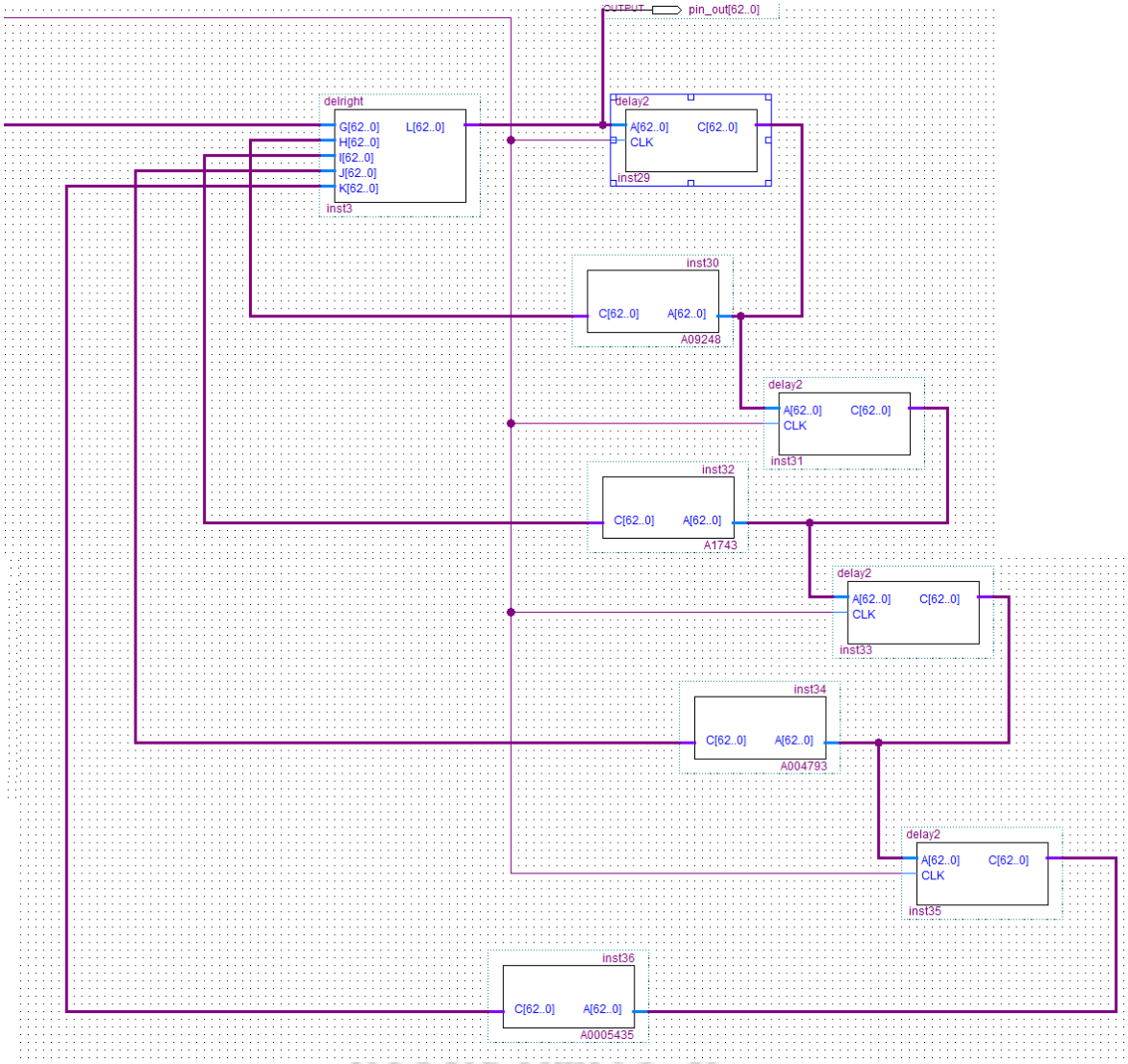

OUTPUT
pin_out[62..0]
delright
G[62..0]
H[62..0]
I[62..0]
J[62..0]
K[62..0]
L[62..0]
inst3
delay2
A[62..0]
CLK
C[62..0]
inst29
inst30
C[62..0]
A[62..0]
A09248
delay2
A[62..0]
CLK
C[62..0]
inst31
inst32
C[62..0]
A[62..0]
A1743
delay2
A[62..0]
CLK
C[62..0]
inst33
inst34
C[62..0]
A[62..0]
A004793
delay2
A[62..0]
CLK
C[62..0]
inst35
inst36
C[62..0]
A[62..0]
A0005435

圖 5.7　數位電路圖

最後由於 Simulink 只能使用 VHDL 所以需將 BDF 檔轉換成 VHDL 檔

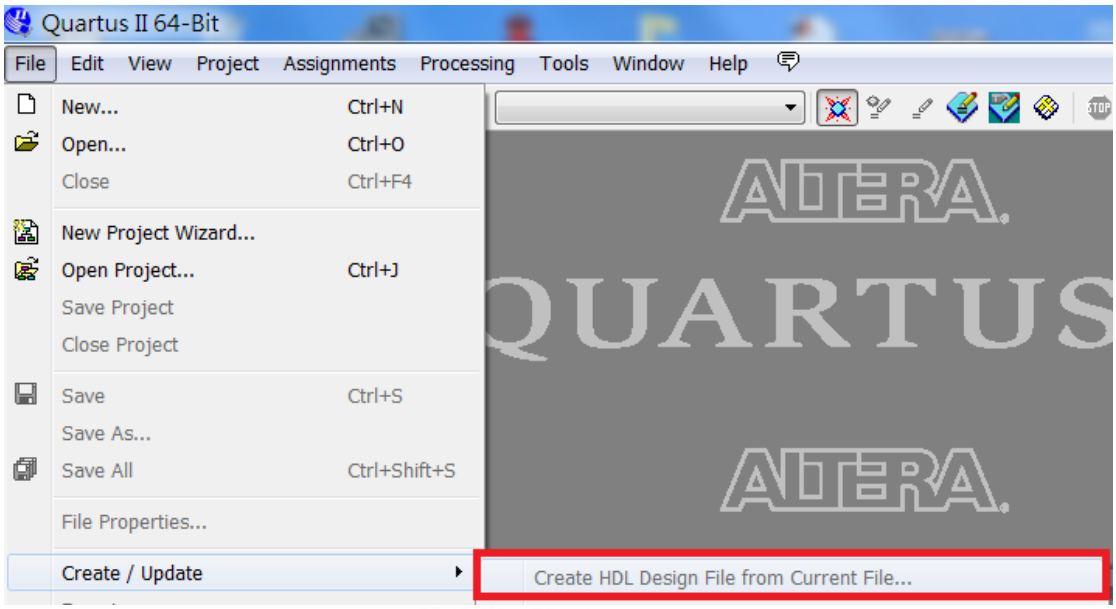


圖 5.8　轉換為 VHDL 檔

5.5 控制器燒入至開發板

為了將控制器燒入至開發板，且能在 MATLAB(2012)平台上進行硬體迴路模擬，本節將說明步驟如下。

步驟一：首先點選 Simulink 上方 Tools 開啟選單，點選 Verification Wizards 再點選 FPGA-in-the-Loop 即可開始燒錄程序。

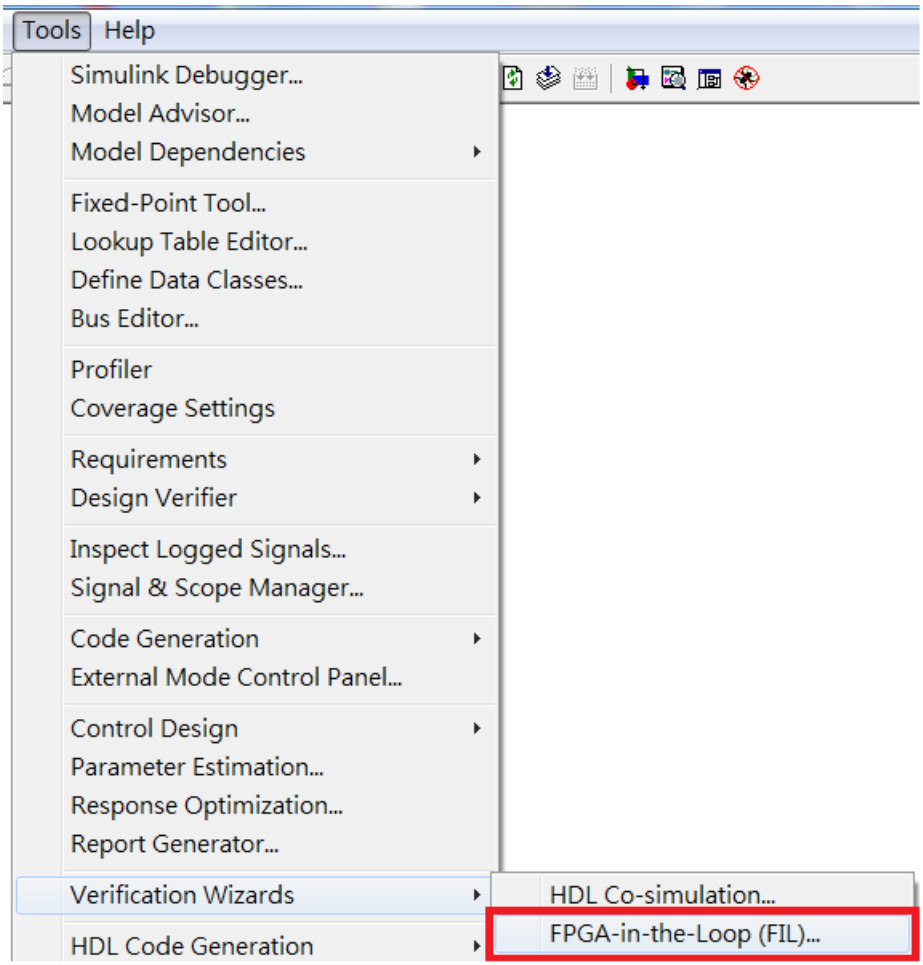


圖 5.9　燒入至開發板步驟

步驟二：選擇所使用之開發板(DE2-115)，並設定 IP 位址與網路卡 ip 位置一致。

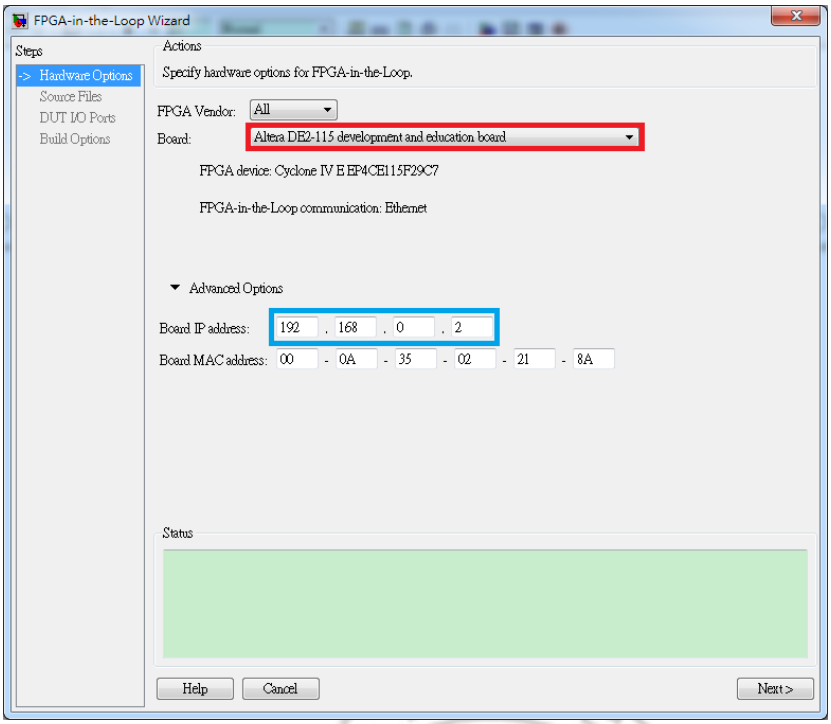


圖 5.10　開發板 ip 設定

步驟三：將製作好的 VHDL 元件匯入如圖 5.11。

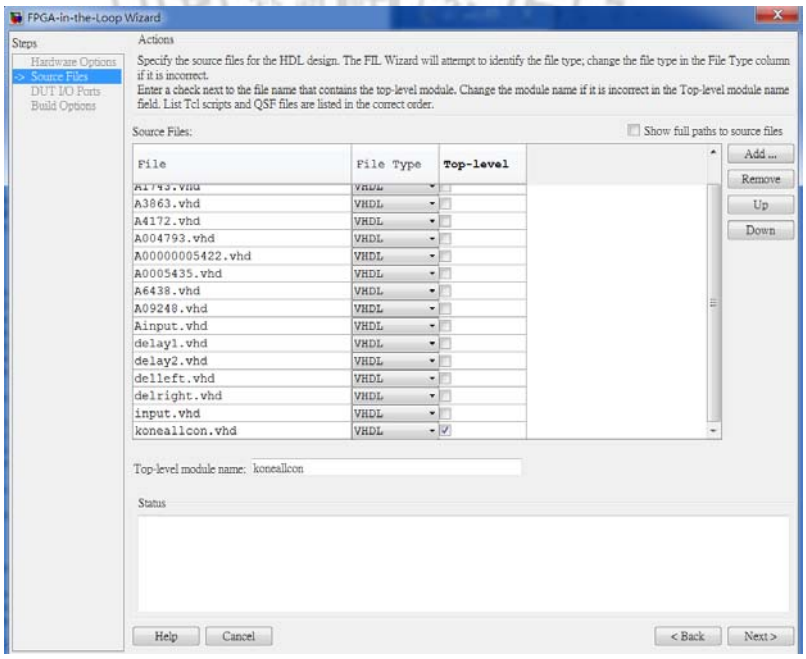


圖 5.11　VHDL 元件匯入

步驟四：開發板腳位確認。

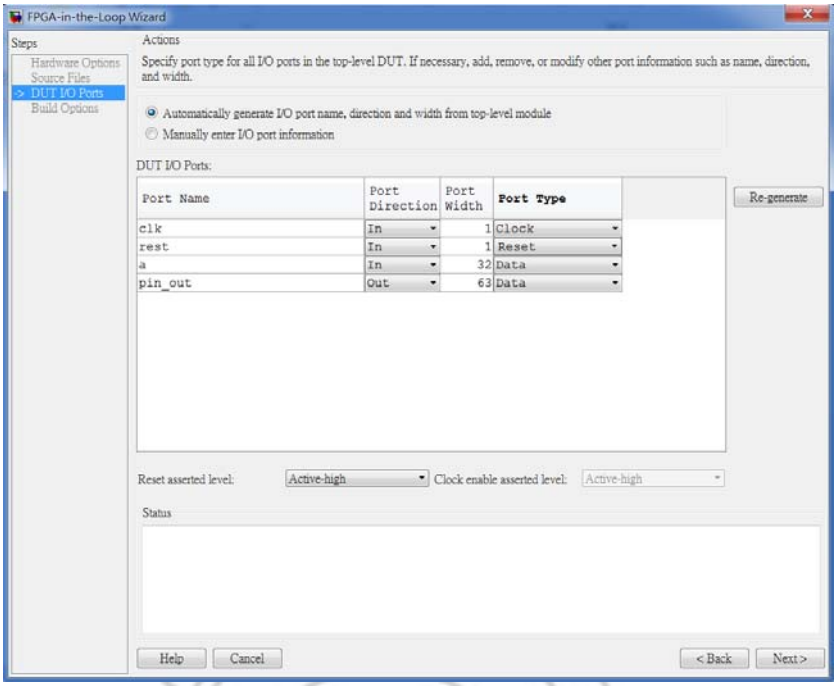


圖 5.12　開發板腳位確認圖

步驟五：最後點選 Build 即可完成燒錄動作。

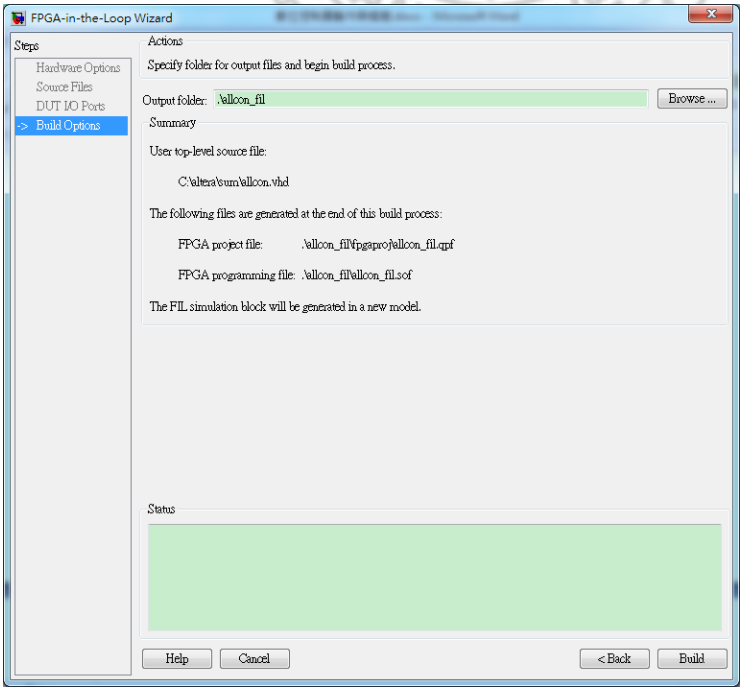


圖 5.13　燒錄元件

完成之後將會取得 simulink 控制器元件如圖 5.14。

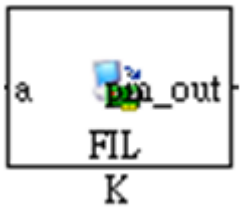


圖 5.14 控制器元件

5.6 FPGA 與 MATLAB 連線模擬

本節將介紹如何在 MATLAB(2012)平台中執行硬體迴路模擬，詳細步驟分別說明如下。

步驟一：完成燒錄之後將取得之控制器模組放進 simulink 控制架構裡。

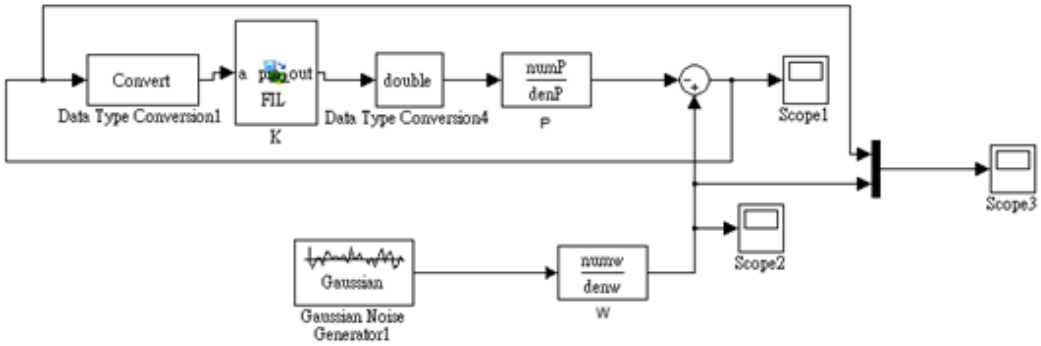


圖 5.15 Sim ulink 控制器架構

步驟二：在執行硬體迴路模擬之前，需對模擬環境進行設定，本論文在硬體迴路模擬中為離散模式，所以要先在 simulink 設定離散模式。首先在 Simulation 中選取 configuration parameters。

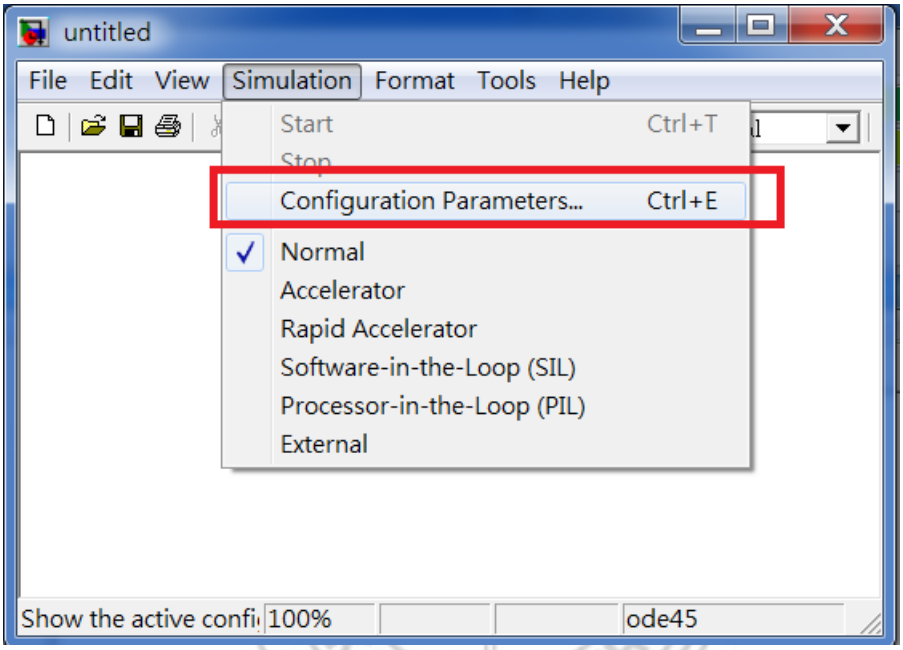


圖 5.16　設定離散模式

步驟三：在 solver 中選擇 discrete 模式。

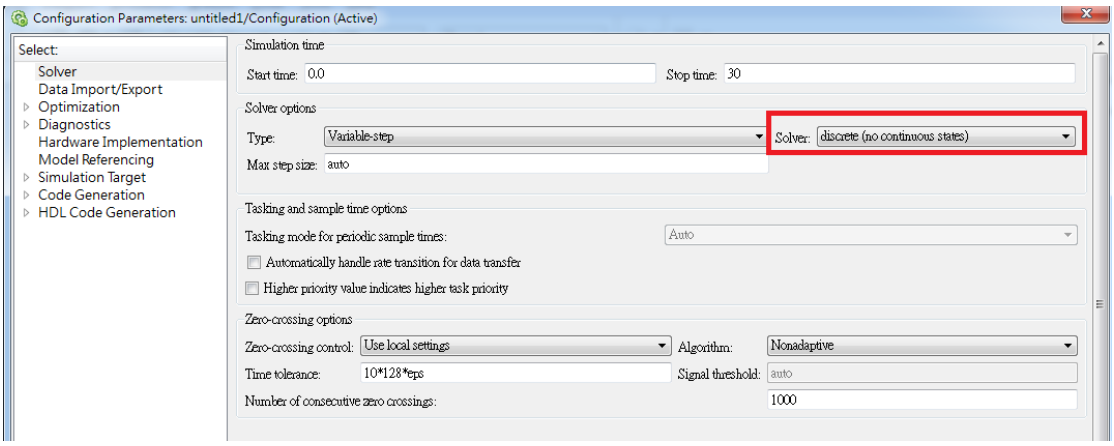


圖 5.17　設定離散模式

步驟四：設定轉換訊號

為了在硬體迴路模擬中開發板能夠與 Simulink 進行訊號傳遞，所以在步驟四中我們需要在 Data type conversion 中進行設定。首先設定 Simulink 要傳遞給開發板的訊號，假設輸入訊號為 32 位元，其中 16 位為小數，故設定(1,32,16)如圖 5.18。接下來設定開發板要傳遞回 Simulink 的訊號，此訊號為 double 形式，可直接設定選擇 double 如圖 5.19。

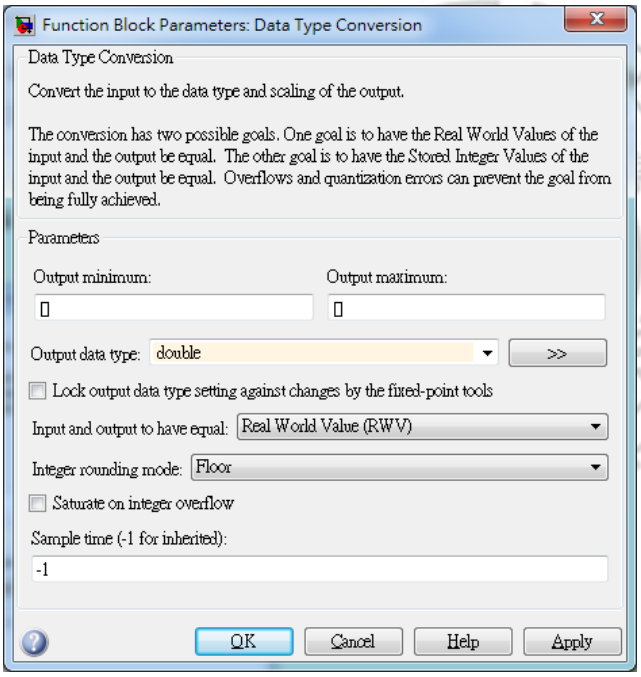


圖 5.18　Sim ulink 訊號傳遞到開發板之轉換設定

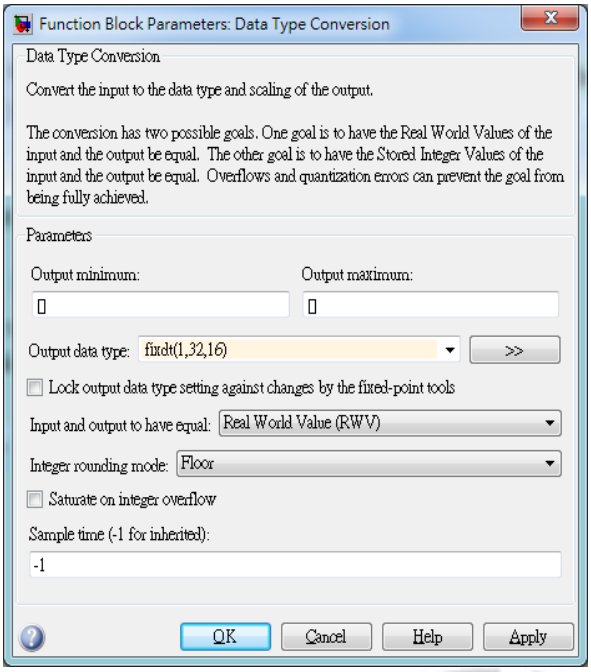


圖 5.19 開發板訊號傳遞回 Simulink 之轉換設定

步驟五：執行硬體迴路模擬

當所有元件都配置完成並且 FPGA 開發板也燒錄好後即可運行 Simulink 來做模擬。由於觀測訊號為控制器之輸入，所以需比較控制器輸入端的訊號。

圖 5.20 與圖 5.21 顯示控制器分別為 Simulink 與 FPGA 開發板模擬之閉迴路系統。

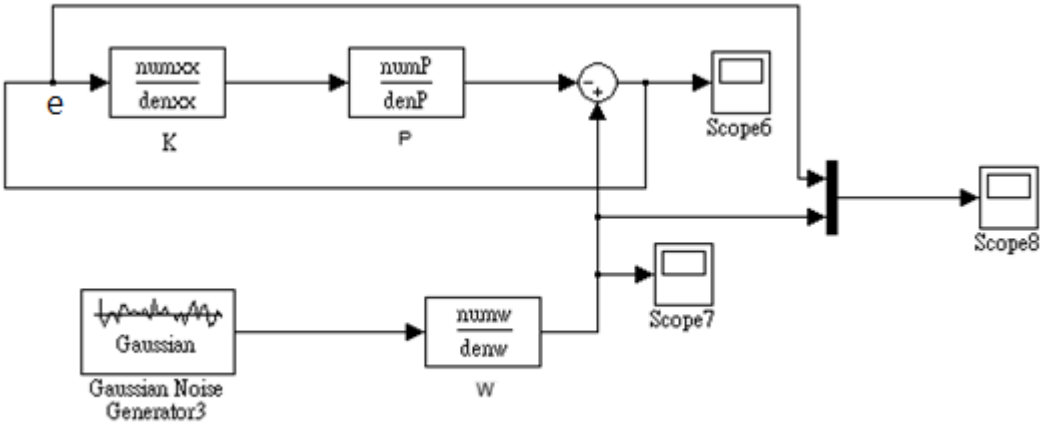


圖 5.20 控制器為 Simulink 模擬之閉迴路

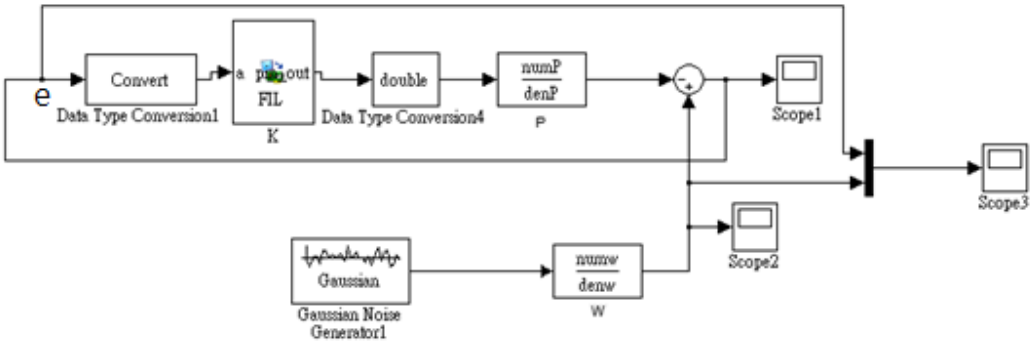


圖 5.21 控制器為 FPGA 模擬之閉迴路

5.7 模擬結果：

在模擬結果中我們觀察控制器之輸入訊號，在硬體迴路模擬與電腦模擬之結果是否吻合。

圖 5.22 與圖 5.23 為控制器分別以 Simulink 模擬之誤差訊號 e 之響應波形。

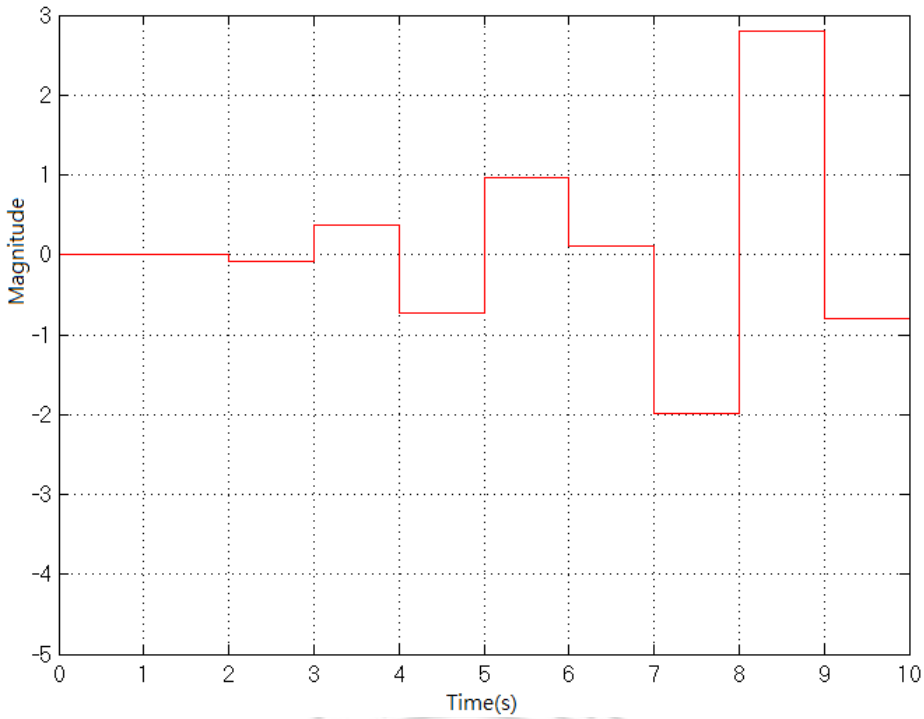


圖 5.22　硬體設計之控制器模擬響應圖

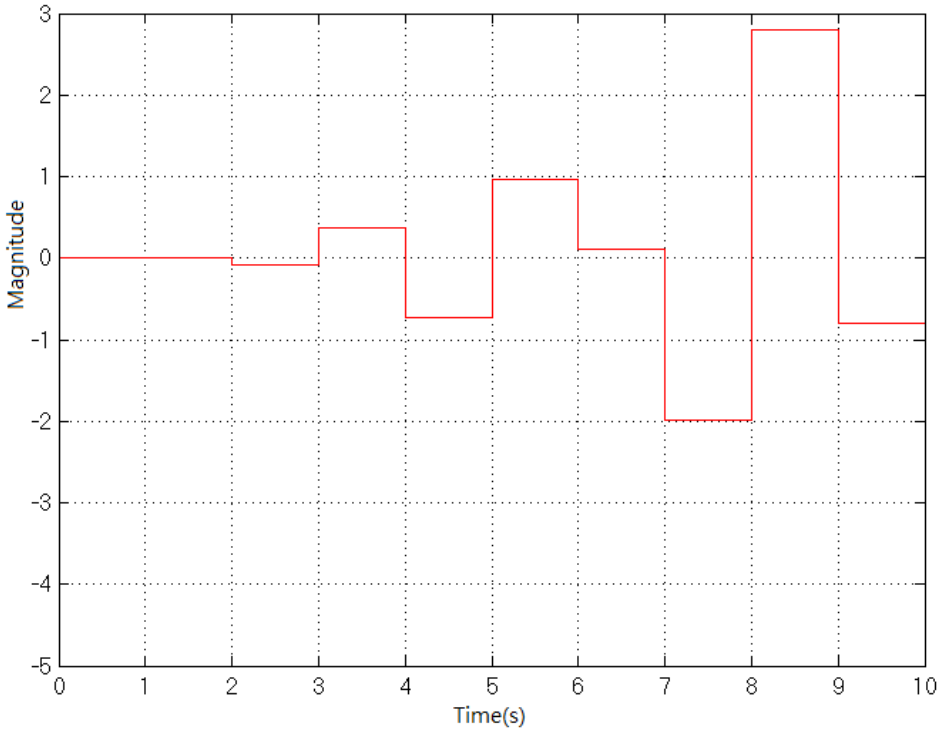


圖 5.23 軟體設計之控制器模擬響應圖

圖 5.24 同時呈現圖 5.22 與圖 5.23，由此圖可知兩種驗證方法所得誤差訊號e的波形吻合。(誤差為$5.3*10^{-6}$)。

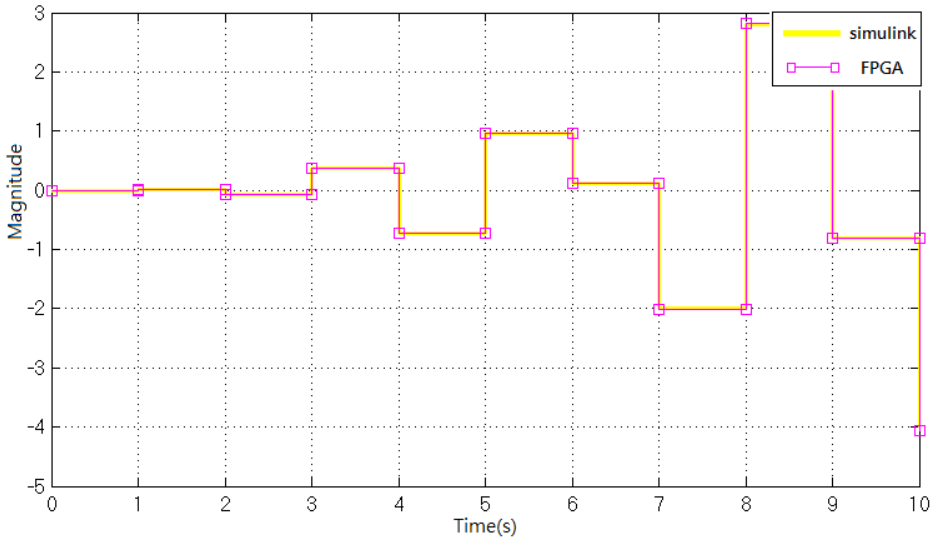


圖 5.24：軟體與硬體控制器設計之模擬響應比較圖

第六章 結論與未來研究方向

本論文之貢獻在於提出新型的指定頻段H_2降階控制器的設計方法，可同時達到控制器階數自由選擇與閉迴路極點區域配置之需求，改善了傳統權重函數輔助設計法的缺陷且運用硬體迴路模擬來驗證本論文設計方法之可行性。具體而言，論文主要貢獻有以下幾點。第一，本文提出設計方法在有解的情況下能同能時達到指定控制器階數與閉迴路極點區域配置之需求，不僅能視設計需求調整控制器的階數，而且在有權重函數的情形下，仍可將閉迴路極點配置在指定區域。此外，藉由指定頻段H_2範數之最小化可應用於指定頻段雜訊之抑制。第二，本論文研究連續時間系統，所提出的設計方法可推廣至離散時間系統。第三，本論文提出一個硬體迴路模擬平台。當需要做完整系統測試時可以利用此平台作模擬，若系統輸出波形為發散也不用擔心零件損壞。

未來研究可朝下列目標進行：

1. 未來研究方向，可針對下列目標進行：

   (i) 控制器K階數再降階。

   (ii) 將本論文提出之連續時間系統之研究，推廣到離散時間系統上。

   (iii) 將本論文設計之方法應用到飛行控制。

參考文獻

[1] K. Zhou and J.C. Doyle, *Essentials of Robust Control*, Prentice Hall, 1998.

[2] M.C. de Oliveira, J.C. Gerome l and J. Bernussou, "Extended H_2 and H_∞ norm characterizations and controller parameterizations for discrete-time systems," Int. J. Control, vol. 75,no. 9, 2002, pp. 666-679.

[3] C.W. Scherer, "An ef ficient solution to m ulti-objective control problems with LMI objectives," Sy stem & Control Letters, vol. 40, 2000, pp. 43-57.

[4] J.S. Lim, J.R. Ryoo, Y.I. Lee, and S.Y. Son, "Design of a Fixed-Order Controller for the T rack-Following Control of Optical Disc Drives," IEEE Trans. Control System Tech, vol. 20, 2012, pp. 205-213.

[5] 楊景富，"H_2迴路整形技術之研究"， 淡江大學電機工程學系碩士班碩士論文，民103年。

[6] N. Nise, Control System s Engineering.sixth ed. Asia: John W iley & Sons,2011.

[7] C.W. Scherer, P. Gahinet a nd M. Chilali, "Mu ltiobjective output-feedback control via LMI op timization," IEEE T rans. Aut. Control, vol. 42, 1997, pp. 896-911.

[8] T. Iwasaki and S. Hara, "Gen eralized KYP lemma: unified frequency domain inequalities with design applic ations," IEEE T rans. Autom. Control, vol. 50, no. 1, 2005, pp. 41-59.

附錄

<u>附錄一:</u>定理 3.1 (3.7)與(3.8)式的證明

證明:欲得定理 3.1 之(3.7)與(3.8)式，將引理 2.1 做全等轉換可得。

步驟一:將引理 2.1 中(A,B,C,P,G)的矩陣資料改寫為

$\left(A_{CL},C_{CL},B_{CL},P,\widetilde{G}\right)$可得:

$$\begin{bmatrix} -\widetilde{G}^T b - b\widetilde{G} & P-\widetilde{G}^T + b\widetilde{G}A_{CL} & b\widetilde{G}B_{CL} \\ P-\widetilde{G}+A_{CL}^T\widetilde{G}^T b & \widetilde{G}A_{CL}+A_{CL}^T\widetilde{G}^T & \widetilde{G}B_{CL} \\ B_{CL}^T\widetilde{G}^T b & B_{CL}^T\widetilde{G}^T & -I \end{bmatrix} < 0 \tag{A.1}$$

$$\begin{bmatrix} Z & C_{CL} \\ C_{CL}^T & P \end{bmatrix} > 0 \tag{A.2}$$

$$Tr(Z) < \nu \tag{A.3}$$

步驟二:設定變數

$P=\begin{bmatrix} P_{11} & P_{12} \\ * & P_{22} \end{bmatrix}, \widetilde{G}=\begin{bmatrix} G_{11} & G_{new} \\ G_{21} & G \end{bmatrix}$。

注意：G在(2,2)位置的變數與極點配置條件之變數 G 設定為相同，以便能還原控制器。

步驟三:對(A1)與(A2)分別進行全等轉換$diag(diag(I,T_1),diag(I,T_1),I)$與$diag(I,diag(I,T_1),I)$，可得

$$\left[\begin{array}{c|c|c} \begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} & 0 & 0 \\ \hline 0 & \begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} & 0 \\ \hline 0 & 0 & I \end{array}\right] \begin{bmatrix} -\widetilde{G}^T b - b\widetilde{G} & P - \widetilde{G}^T + b\widetilde{G}A_{CL} & b\widetilde{G}B_{CL} \\ P - \widetilde{G} + A_{CL}^T \widetilde{G}^T b & \widetilde{G}A_{CL} + A_{CL}^T \widetilde{G}^T & \widetilde{G}B_{CL} \\ B_{CL}^T \widetilde{G}^T b & B_{CL}^T \widetilde{G}^T & -I \end{bmatrix} \left[\begin{array}{c|c|c} \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix} & 0 & 0 \\ \hline 0 & \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix} & 0 \\ \hline 0 & 0 & I \end{array}\right] < 0 \tag{A.3}$$

$$\begin{bmatrix} Z & \begin{bmatrix} D_{cl}C_{Wb} & C_{cl}T_1^T \end{bmatrix} \\ * & \begin{pmatrix} \tilde{P}_{11} & \tilde{P}_{12} \\ \tilde{P}_{12}^T & \tilde{P}_{22} \end{pmatrix} \end{bmatrix} > 0 \tag{A.4}$$

步驟四:定義 $\begin{pmatrix} \hat{P}_{11} & \hat{P}_{12} \\ \hat{P}_{12}^T & \hat{P}_{22} \end{pmatrix} = \begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} P \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix}$，且將 $(A_{CL}, B_{CL}, C_{CL}, D_{CL})$ 的詳細資料(3.5)代入並展開可得:

$$\begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} \widetilde{G}A_{CL} \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix} = \begin{bmatrix} G_{11}A_{Wb} + G_{new}B_{cl}C_{Wb} & G_{new}A_{cl}T_1^T \\ NA_{Wb} + T_1GB_{cl}C_{Wb} & T_1GA_{cl}T_1^T \end{bmatrix}$$

令 $T_1G_{21} = N$，則上式可改寫如下

$$\begin{bmatrix} G_{11}A_{Wb} + G_{new}B_{cl}C_{Wb} & G_{new}A_{cl}T_1^T \\ NA_{Wb} + T_1GB_{cl}C_{Wb} & T_1GA_{cl}T_1^T \end{bmatrix} \tag{A.5}$$

另外，

$$\begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} \widetilde{G}B_{CL} = \begin{bmatrix} G_{11}B_{Wb} + G_{new}B_{cl}D_{Wb} \\ T_1G_{21}B_{Wb} + T_1GB_{cl}D_{Wb} \end{bmatrix}$$

令 $T_1G_{21} = N$，則上式可改寫如下

$$\begin{bmatrix} G_{11}B_{Wb} + G_{new}B_{cl}D_{Wb} \\ NB_{Wb} + T_1GB_{cl}D_{Wb} \end{bmatrix} \tag{A.6}$$

$$C_{CL} \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix} = \begin{bmatrix} D_{cl}C_{Wb} & C_{cl}T_1^T \end{bmatrix} \tag{A.7}$$

$$\begin{pmatrix} I & 0 \\ 0 & T_1 \end{pmatrix} \widetilde{G} \begin{pmatrix} I & 0 \\ 0 & T_1^T \end{pmatrix} = \begin{pmatrix} G_{11} & G_{new} T_1^T \\ N & T_1 G\ T_1^T \end{pmatrix} \tag{A.8}$$

步驟五:比照區域極點配置條件**步驟四**之推導，利用 de Oliveria 等人的變數變換方法[2]，將$T_1 G A_{cl} T_1^T$ $GB_{cl} T_1^T$,$C_{cl} T_1^T{}_1$,$T_1\ G^T T_1^T$ 各項改寫如下:

$$T_1\ GA_{cl} T_1^T = \begin{bmatrix} AS^T + B_2 C_F & A + B_2 D_F C_2 \\ A_F & RA + B_F C_2 \end{bmatrix} \tag{A.9}$$

$$T_1 GB_{cl} = \begin{bmatrix} B_1 + B_2 D_F D_{21} \\ RB_1 + \left(B_F\right) D_{21} \end{bmatrix} \tag{A.10}$$

$$C_{cl} T_1^T = \begin{bmatrix} C_1 S^T + D_{12} C_F & C_1 + D_{12} D_F C_2 \end{bmatrix} \tag{A.11}$$

$$D_{cl} = \left(D_{11} + D_{12} D_F D_{21}\right) \tag{A.12}$$

$$T_1 G^T T_1^T = \begin{bmatrix} S & J \\ I & R^T \end{bmatrix} \tag{A.13}$$

步驟六: 將(A9)-(A13)式代回(A5)-(A8)式，再代回(A1)與(A2)式可推得(3.7)與(3.8)式。

$$
\left(\begin{array}{c|c|c|c|c}
-b*He\{G_{11}\} & -b\{G_{new}T_1^T+N^T\} & \tilde{P}_{11}-G_{11}^T+bG_{11}A_{Wb}+bG_{new}B_{cl}C_{Wb} & \tilde{P}_{12}-N^T+bG_{new}A_{cl}T_1^T & bG_{11}B_{Wb}+bG_{new}B_{cl}D_{Wb} \\
\hline
* & -b*He\left\{\begin{bmatrix} S^T & I \\ J^T & R \end{bmatrix}\right\} & \tilde{P}_{12}^T-T_1G^T{}_{new}+b*NA_{Wb}+b\begin{bmatrix} B_1+B_2D_FD_{21} \\ RB_1+(B_F)D_{21} \end{bmatrix}C_{Wb} & \tilde{P}_{22}-\begin{bmatrix} S & J \\ I & R^T \end{bmatrix}+b\begin{bmatrix} AS^T+B_2C_F & A+B_2D_FC_2 \\ A_F & RA+B_FC_2 \end{bmatrix} & b*\left(NB_{Wb}+\begin{bmatrix} B_1+B_2D_FD_{21} \\ RB_1+(B_F)D_{21} \end{bmatrix}D_{Wb}\right) \\
\hline
* & * & He\left\{\left[G_{11}A_{Wb}+G_{new}B_{cl}C_{Wb}\right]\right\} & \left\{\left(NA_{Wb}+\begin{bmatrix} B_1+B_2D_FD_{21} \\ RB_1+(B_F)D_{21} \end{bmatrix}C_{Wb}\right)^T+G_{new}A_{cl}T_1^T\right\} & G_{11}B_{Wb}+G_{new}B_{cl}D_{Wb} \\
\hline
* & * & * & He\left\{\begin{bmatrix} AS^T+B_2C_F & A+B_2D_FC_2 \\ A_F & RA+B_FC_2 \end{bmatrix}\right\} & NB_{Wb}+\begin{bmatrix} B_1+B_2D_FD_{21} \\ RB_1+(B_F)D_{21} \end{bmatrix}D_{Wb} \\
\hline
* & * & * & & \\
\end{array}\right) < 0
$$

(A.16)

$$
\begin{bmatrix} Z & (D_{11}+D_{12}D_FD_{21})C_{Wb} & C_1S^TS_R+D_{12}C_FC_{FR}+Z_{3prm}+D_{12}D_FD_{FR} \\ * & \tilde{P}_{11} & \tilde{P}_{12} \\ * & * & \tilde{P}_{22} \end{bmatrix} > 0 \quad \text{(A.17)}
$$

<u>附錄二:</u>定理 3.1 (3.6)式的證明

證明:欲得定理 3.1 之(3.6)式，將引理 2.2 做全等轉換可得。

步驟一:將引理 2.2 中 A 的矩陣資料改寫為 A_{cl} 可得:

$$
\begin{bmatrix} A_{cl}G+G^TA^T & -P-bA_{cl}G+G^T & P+bA_{cl}G \\ -P+G-bG^TA_{cl}^T & -bG-bG^T & bG \\ P+bG^TA_{cl}^T & bG^T & -\frac{1}{2}\alpha^{-1}P \end{bmatrix} < 0 \qquad \text{(B.1)}
$$

步驟二:設定變數

$$
P=\begin{bmatrix} P_{11} & P_{12} \\ * & P_{22} \end{bmatrix},\ G=\begin{bmatrix} R & X_{12} \\ X_{21} & X_{22} \end{bmatrix},\ G^{-1}=\begin{bmatrix} S & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix},
$$

$T_1=\begin{bmatrix} S & Y_{12} \\ I & 0 \end{bmatrix}, T_2=\begin{bmatrix} I & 0 \\ R & X_{12} \end{bmatrix}$，則 $T_1G=T_2, T_1GT_1^T=T_2T_1^T$ 。

步驟三:針對(A1)進行全等轉換 $diag(T_1,T_1)$ ，如下式

$$\begin{bmatrix} T_1A_{cl}GT_1^T+T_1G^TA_{cl}^TT_1^T & -T_1PT_1^T-bT_1A_{cl}GT_1^T+T_1G^TT_1^T & T_1PT_1^T+bT_1A_{cl}GT_1^T \\ * & -bT_1GT_1^T-bT_1G^TT_1^T & bT_1GT_1^T \\ * & * & -\frac{1}{2}\alpha^{-1}T_1PT_1^T \end{bmatrix}<0 \qquad \text{(B.2)}$$

步驟四: 定義 $\begin{bmatrix} \tilde{P}_{11} & \tilde{P}_{12} \\ * & \tilde{P}_{22} \end{bmatrix}=T_1PT_1^T$ 。利用 de Oliveria 等人的變數變換方法[2]將(B2)中各項改寫如下:

$$T_1\,GA_{cl}T_1^T=\begin{bmatrix} AS^T+B_2C_F & A+B_2D_FC_2 \\ A_F & RA+B_FC_2 \end{bmatrix} \qquad \text{(B.3)}$$

$$T_1G^TT_1^T=T_1T_2^T=\begin{bmatrix} S & J \\ I & R^T \end{bmatrix} \qquad \text{(B.4)}$$

步驟五: 將(B3)-(B4)式代回(B 2)式，可得

$$\left(\begin{array}{c|c|c|c|c|c} \mathrm{He}\{AS^T+B_2C_F\} & A+B_2D_FC_2+A_F^T & -\tilde{P}_{11}-b(AS^T+B_2C_F) & -\tilde{P}_{12}-b\left(A+B_2D_FC_2\right) & \tilde{P}_{11}+b\left(AS^T+B_2C_F\right) & \tilde{P}_{12}+b\left(A+B_2D_FC_2\right) \\ \hline * & \mathrm{He}\{RA+B_FC_2\} & -\tilde{P}_{12}^T-bA_F & -\tilde{P}_{22}-b\left(RA+B_FC_2\right) & \tilde{P}_{12}^T+bA_F & \tilde{P}_{22}+b\left(RA+B_FC_2\right) \\ \hline * & * & -b*\mathrm{He}\{S\} & -b(J+I) & bS^T & bI \\ \hline * & * & * & -b\mathrm{He}\{R^T\} & bJ^T & bR \\ \hline * & * & * & * & -\frac{1}{2}\alpha^{-1}\tilde{P}_{11} & -\frac{1}{2}\alpha^{-1}\tilde{P}_{12} \\ \hline * & * & * & * & * & -\frac{1}{2}\alpha^{-1}\tilde{P}_{22} \end{array}\right)<0$$

得定理 3.1 (3.6)式。